

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112820

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

H03L 7/113

(21)Application number : 04-261537

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.09.1992

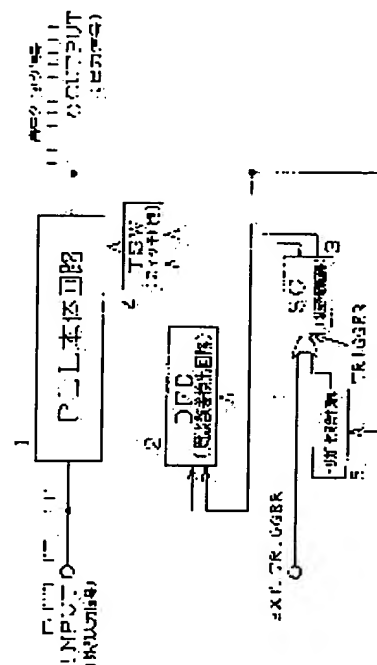
(72)Inventor : DAIMON KAZUO
TANIGUCHI KENJI
SHIRAHAMA HIROYUKI
NAKATSUKA KENICHI
ERA YOSHIKAZU

(54) PLL CIRCUIT

(57)Abstract:

PURPOSE: To obtain a PLL circuit having simultaneously desired characteristics of high speed locking and a low noise output.

CONSTITUTION: A PLL circuit is formed by adding a frequency difference detection circuit 2, a state control circuit 3, a switching circuit 4 and a trigger signal generating circuit 5 to a conventional PLL main body circuit 1, and an effective self-running frequency of a voltage controlled oscillator is controlled with an output signal of the frequency difference detector when out of synchronism takes place in the PLL circuit or a trigger signal is inputted to the PLL circuit. Thus, frequency synchronization is finished nearly momentarily, and phase locking is finished with the similar operation to that of the conventional PLL circuit. As a result, the PLL circuit that takes no locking time into account is designed.



LEGAL STATUS

[Date of request for examination] 22.09.1999

[Date of sending the examiner's decision of rejection] 10.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

Searching PAJ

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-112820

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.⁵

H03L 7/113

識別記号 庁内整理番号

9182-5J

FI

H03L 7/10

技術表示箇所

B

審査請求 未請求 請求項の数14(全 42 頁)

(21)出願番号

特願平4-261537

(22)出願日

平成4年(1992)9月30日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 大門 一夫

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 谷口 研二

福岡県福岡市西区愛宕浜4丁目30-3

(72)発明者 白濱 弘幸

福岡県北九州市門司区鳴竹2丁目3-14-

302

(74)代理人 弁理士 大日方 富雄

最終頁に続く

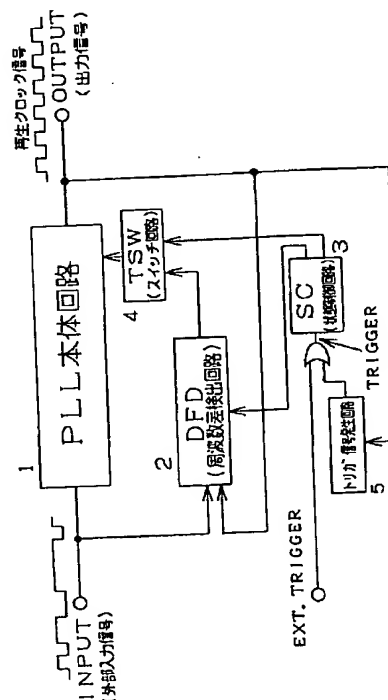
(54)【発明の名称】 PLL回路

(57)【要約】

【目的】 高速引き込みと低ノイズ出力という所望の特性を同時に有するPLL回路を提供する。

【構成】 従来形のPLL本体回路1に、周波数差検出回路2、状態制御回路3、スイッチ回路4、トリガ信号発生回路5を付加して、PLL回路を構成し、PLL回路が同期はずれ起こしているとき、またはトリガ信号が入力したときに、周波数差検出器の出力信号によってその電圧制御発振器の実効自走周波数を制御するようにした。

【効果】 ほとんど瞬時に周波数同期を完了し、この後、従来のPLL回路と同様の動作で位相同期を完了する。この結果、引き込み時間を考慮しないPLL回路の設計ができる。



【特許請求の範囲】

【請求項1】 所定の自走周波数を持ちかつ制御信号に従って発振周波数が制御される局部発振器と、その出力信号と外部入力信号との位相差に従った制御信号を形成する位相比較回路と、上記位相比較回路からの制御信号を受け上記局部発振器の制御信号入力を形成するロウパスフィルタから成るPLL本体回路と、上記外部入力信号の周波数と上記PLL本体回路内部の局部発振器の発振周波数との差に応じた信号を出力する周波数差検出回路と、内部で生成または外部から印加されるトリガ信号に応じて上記PLL本体回路と周波数差検出回路の回路状態を設定するための制御信号を生成する状態制御回路および上記PLL本体回路への制御信号の切換えを行なうスイッチ回路とから成り、上記の周波数差検出回路の出力を用いて、上記PLL本体回路内部の局部発振器の実効自走周波数をほぼ外部入力信号の周波数に設定することによって高速引き込みを可能としたことを特徴とするPLL回路。

【請求項2】 上記状態制御回路は、内部で生成または外部から印加されるトリガ信号に応じて複数のパルス信号を形成し、これらのパルス信号と上記スイッチ回路によって上記周波数差検出回路を初期化し、次に所定のサンプリング時間だけ周波数差検出回路を検出状態にし、その結果得られる周波数差に応じた出力信号が上記PLL本体回路内部の局部発振器の制御信号設定端子に印加されるとともに、上記PLL本体回路内部の局部発振器の制御信号入力がPLL本体回路内部のロウパスフィルタ出力によって制御されるように構成されていることを特徴とする請求項1記載のPLL回路。

【請求項3】 上記周波数差検出回路は、所定のサンプリング時間内において、上記外部入力信号の立ち上がりエッジと立ち下がりエッジの一方または両方での上記外部入力信号と上記PLL本体回路内部の局部発振器の出力信号間の位相の進みまたは遅れの関係を示す信号を形成する手段と、その信号に基づいて位相の進み、遅れの反転回数を計数する計数回路とを備え、連続した同符号を含むデータ信号における基本周波数差の検出が可能にされていることを特徴とする請求項1または請求項2記載のPLL回路。

【請求項4】 上記周波数差検出回路は、上記外部入力信号の周波数と上記PLL本体回路内部の局部発振器の発振周波数の差の少なくとも絶対値のみを検出できるように構成され、ジトリガ信号に応じて交互に出力が反転するように構成された符号制御信号発生回路の出力信号と上記周波数差検出回路の出力に基づいて、上記PLL本体回路内部の局部発振器の実効自走周波数を所要の値に設定することを特徴とする請求項3記載のPLL回路。

【請求項5】 上記PLL本体回路内部の局部発振器の実効自走周波数は、上記PLL本体回路内部の局部発振

器の周波数設定用制御電圧（もしくは電流）あるいは上記ロウパスフィルタの内部電圧を上記周波数差検出器の出力信号および上記状態制御回路の出力を用いて制御することによって設定されることを特徴とする請求項1、請求項2、請求項3または請求項4記載のPLL回路。

【請求項6】 上記PLL本体回路内部の局部発振器の実効自走周波数は、抵抗と容量とから成る完全積分型ロウパスフィルタの容量への電荷の充放電の量を上記周波数差検出回路の出力および上記状態制御回路の出力を用いて制御することによって設定されることを特徴とする請求項5記載のPLL回路。

【請求項7】 上記PLL本体回路内部の局部発振器は、上記周波数差検出回路の出力信号に応じて上記PLL本体回路内部の局部発振器の回路構成または回路を構成する素子の値または発振周波数を設定するためのパラメータを変化させることで上記局部発振器の周波数制御端子入力が零である時の発振周波数（固有自走周波数）が所定の値に制御されるように構成されていることを特徴とする請求項1項、請求項2、請求項3または請求項4記載のPLL回路。

【請求項8】 上記周波数差検出回路は上記外部入力信号とPLL本体回路内部の局部発振器の出力信号の周波数差を示す信号を出力する端子と、これらの信号の位相差関連情報を出力する端子と、上記信号の位相の進み、遅れを示す信号を出力する端子とを備え、上記PLL本体回路内部の位相比較器は第一の入力を上記周波数差検出回路からの上記位相差関連情報信号、第二の入力信号を上記PLL本体回路の局部発振器の出力信号とし、第三の入力を上記周波数差検出回路からの位相の進み、遅れを示す信号とする論理回路を備えてなることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6または請求項7記載のPLL回路。

【請求項9】 上記周波数差検出回路は、上記外部入力信号とPLL本体回路内の局部発振器の出力信号の周波数の差を示す出力端子とこれらの信号の位相差関連情報信号を出力する端子とを備え、とともに、上記PLL本体回路内部には、上記位相差関連情報と上記PLL本体回路内部の局部発振器を入力信号とし、上記PLL本体回路内部の局部発振器の出力信号の立ち上がりエッジと上記外部入力信号の立ち上がり（あるいは立ち下がり）エッジの時間差に応じた電圧（あるいは電流）をロウパスフィルタに出力する平滑フィルタが設けられていることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6または請求項7記載のPLL回路。

【請求項10】 上記周波数差検出回路からの出力信号に基づいてPLL回路の非同期状態を検出しPLL回路を引き込み状態に設定するためのトリガ信号を発生する回路を備えてなることを特徴とする請求項1、請求項

2、請求項3、請求項4、請求項5、請求項6、請求項7、請求項8または請求項9記載のPLL回路。

【請求項11】 上記トリガ信号発生回路は、PLL回路が同期、非同期状態に関わらず周波数差検出回路をほぼ一定の間隔で動作させるサンプリング回路と、該サンプリング回路出力信号がハイレベルあるいはロウレベルである間周波数差検出回路を動作させこの出力信号が一定のレベルに達しているか否かを判定し、PLL回路が同期、非同期のいずれの状態にあるのかを検出する同期はずれ状態検出回路とから成ることを特徴とする請求項10記載のPLL回路。

【請求項12】 上記周波数差検出回路は、所定の基本周波数を持ちデジタル信号によって符号化されたデータ信号を第一の入力とし、上記PLL本体回路内部の局部発振器の出力または局部発振器の出力を分周した信号を第二の入力とし、所定のサンプリング時間内において上記データ信号の立ち上がりエッジと立ち下がりエッジの一方または両方で、これら両入力信号の位相差の正負の反転を計測する計数回路を備え、連続する同符号を含むデータ信号の基本周波数と局部発振器出力の周波数の差を検出可能とされていることを特徴とする請求項1～請求項10記載のPLL回路。

【請求項13】 上記位相比較器は、所定の基本周波数を持ちデジタル信号によって符号化されたデータ信号を第一の入力とし、上記PLL本体回路内部の局部発振器の出力または局部発振器の出力を分周した信号を第二の入力とし、請求項12記載の周波数差検出回路から出力される位相差関連情報信号を第三の入力とし、上記PLL本体回路内部の局部発振器の出力または局部発振器の分周出力の立ち上がりエッジと上記データ信号の立ち上がり（あるいは立ち下がり）エッジの時間差に応じたパルス幅をもつ信号を出力する論理回路を備えてなることを特徴とする請求項12記載のPLL回路。

【請求項14】 請求項12記載の周波数差検出回路から出力される位相差関連情報信号を第一の入力とし、外部入力信号を第二入力とし、この外部入力信号の立ち上がりエッジ（あるいは立ち下がりエッジ）と上記電圧制御発振器の出力信号の立ち上がりエッジの時間差に応じたパルス幅を持つ上記周波数差検出回路の位相差関連情報信号を平滑化するための積分器、および該積分器の充放電の状態を制御するためのスイッチが設けられ、この平滑化された信号をチャージポンプ（あるいはロウパスフィルタ）に出力する平滑フィルタが上記PLL本体回路内部に設けられていることを特徴とする請求項12または請求項13記載のPLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はPLL（フェーズ・ロックド・ループ）回路に関するもので、例えば、LAN（ローカル・エリア・ネットワーク）、電話回路網等の

データ通信システムのクロック信号再生装置に利用して有効な技術に関するものである。

【0002】

【従来の技術】 本願発明者は、LAN等の通信システムにおいてクロック信号再生装置として、PLL回路を利用することを考えた。従来形のPLL回路は基本的には位相比較器、ロウパスフィルタ、電圧制御発振器（または電流制御発振器）から構成されているが、場合によっては平滑フィルタ、チャージポンプを含むこともある。従来、PLLの高速引き込みのために工夫がされてきており、代表的なものとしてロウパスフィルタの構成を変化させ動作特性を制御しているものがある（信学会論文、B-I Vol. J74-B-I, No. 10 OCT. 1991）。

【0003】

【発明が解決しようとする課題】 このようなPLL回路では、周波数感度を増加させると引き込み時間が短縮されるが、耐ノイズ特性が劣化するために出力信号の信号対雑音比（S/N比）は低下する。一方、周波数感度を低下させると、S/N比は上昇するが、引き込み時間が増加し、高速引き込みかつ低ノイズ特性を持つPLL回路を設計することは難しい。この問題を解決するために、複数の位相比較器を設けたPLL回路（IEEE J. Solid-State Circuit, VOL 24, No. 6, DEC. 1989）や周波数シンセサイザ等に用いられるRZ（return to zero）入力信号用に周波数検出回路を設けたPLL回路が提案されているが、光通信等に必要のNRZ（non-return to zero）入力信号のような所定の基本周波数を持ちデジタル信号によって符号化されたデータ信号用の高速引き込みかつ低ノイズ特性を持つPLL回路についてはいまだ有効なPLL回路が提案されていない。

【0004】 本発明の目的は、高速引き込みと低ノイズ出力という所望の特性を同時に有するPLL回路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、図1に示すように、従来形のPLL本体回路1に、周波数差検出回路2、状態制御回路3、スイッチ回路4、トリガ信号発生回路5を付加して、PLL回路を構成する。本発明のPLL回路では同期はずれ状態が検出されてトリガ信号が生成されるとき、あるいは外部からトリガ信号が印加されるとき、これによって動作する状態制御回路3およびスイッチ回路4によって回路の状態を切り替え、外部入力信号（NRZ）のクロック信号の周波数とPLL本体回路内部の局部発振器の出力信号周波数の差を検出する周波数差検出

回路2の出力によって、上記局部発振器の実効自走周波数を制御し、ほとんど瞬時に周波数同期を完了させ、次に、状態制御回路3およびスイッチ回路4によってPLL本体回路の状態を、従来形のPLL回路とほぼ同様の回路構成に切り換えて、以降PLL回路の位相同期を行なうように構成したものである。

【0006】

【作用】上記した手段によれば、同期外れ状態が生じたときに周波数同期が速やかに完了するので、高速同期特性及び低ノイズ特性を同時に有するPLL回路の実現が可能となり、これによって光通信等に用いられるNRZ符号のようなランダムパルス信号のクロック信号を高速かつ低ノイズで再生できるようにするという上記目的が達成される。

【0007】

【実施例】以下、本発明の好適な実施例を図面に基づいて説明する。図2および図3に本発明によるPLL回路の実施例を示す。本実施例のPLL回路は、PLL本体回路1、周波数差検出回路(DFD)2、状態制御回路(SC)3、スイッチ回路(TSW)4から成る。この実施例のPLL本体回路は、位相比較器(PC)11、平滑フィルタ(SF)12、チャージポンプ(CP)13、ロウパスフィルタ(LPF)14、電圧制御発振器(VCO)15から構成されている。なお、PLL本体回路1の構成を簡略化したい場合には、平滑フィルタ(SF)12、チャージポンプ(CP)13は省略することができる。

【0008】位相比較器(PC)11は、外部入力信号(INPUT)100と電圧制御発振器(VCO)15の出力信号を入力とし、この両信号の位相差に応じた信号を形成し出力する。すなわち、外部入力信号(INPUT)100の位相が電圧制御発振器(VCO)15の出力信号位相より進んでいる場合には、位相比較器(PC)11のup端子111に位相差に応じたパルス幅を持つ信号を出力し、逆に外部入力信号(INPUT)100の位相が電圧制御発振器(VCO)15の出力信号位相より遅れている場合には、位相比較器(PC)11のdown端子112に位相差に応じたパルス幅を持つ信号を出力する。

【0009】平滑フィルタ(SF)12とチャージポンプ(CP)13は位相比較器(PC)11のup端子111、down端子112の出力信号を入力とし、この入力信号のパルス幅に応じた電流を出力端子に形成し、この出力電流によってロウパスフィルタ(LPF)14の電圧を制御する。ロウパスフィルタ(LPF)14はPLL回路の諸特性を大きく左右する重要な構成要素であり、位相比較器(PC)11の出力信号あるいはチャージポンプ(CP)13の出力信号を入力とし、この入力信号の高周波成分を除去した信号を出力端子に形成する。

【0010】電圧制御発振器(VCO)15はロウパスフィルタ(LPF)14の出力信号を入力とし、この入力信

号のレベルに応じた発振周波数を持つ発振信号を出力端子(OUTPUT)101に形成する。すなわち入力信号のレベルが上昇すると出力信号の周波数は上昇し、入力信号のレベルが降下すると出力信号周波数は降下する。また、本実施例のPLL回路で用いる電圧制御発振器は、入力信号のレベルが零である時に、出力信号が一定の発振周波数(自走周波数)で発振するように構成されているものとして、以下の説明を行う。以上のような、位相比較器(PC)11、平滑フィルタ(SF)12、チャージポンプ(CP)13、ロウパスフィルタ(LPF)14、電圧制御発振器(VCO)15から成る一般(従来形)のPLL回路では、ロウパスフィルタ(LPF)14の出力電圧によって出力信号の周波数および位相の同期を行うが、一般的に同期が終了するまでに非常に長い時間が必要である。

【0011】本実施例では、スイッチ回路(TSW)4が、後述する状態制御回路(SC)3の出力に応じて、PLL本体回路1の回路構成を切り換える。そして、このスイッチ回路4には、入力端子としてIS、SAMP、SET、CLRなる端子が存在するが、これらの役割については、以下の周波数差検出回路(DFD)2および状態制御回路(SC)3の所で詳しく述べる。

【0012】周波数差検出回路(DFD)2は、外部入力信号(INPUT)101と電圧制御発振器(VCO)15の出力信号(OUTPUT)100の周波数の差を検出し、この検出出力に応じた信号Vsをスイッチ回路(TSW)4のIS端子に出力する。このIS端子への入力信号はスイッチ回路(TSW)4を所定の状態に切り換え、電圧制御発振器(VCO)15の自走周波数(実効自走周波数)を制御できるようになっており、周波数差検出回路(DFD)2の出力VsがIS端子に入力されると、電圧制御発振器(VCO)15の出力信号の実効自走周波数はほとんど瞬時に外部入力信号の周波数とほぼ等しい周波数に設定される。

【0013】状態制御回路(SC)3はPLL回路の同期外れ状態に対処するために設けられるトリガ信号301を入力とし、スイッチ回路(TSW)4のSAMP端子および周波数差検出回路(DFD)2のCLR端子にそれぞれ制御パルス信号を出力する。さらに、図3の実施例では、状態制御回路(SC)3からスイッチ回路(TSW)4のSET端子およびCLR端子にそれぞれ制御パルス信号が供給される。

【0014】スイッチ回路(TSW)4はSAMP、SETまたはCLR端子への入力信号に応じて、PLL本体回路1内の電圧制御発振器(VCO)15の発振状態を、クリア(本来の自走周波数で発振している状態)、セット(周波数差検出回路出力信号Vsにより発振周波数を設定している状態)、ラン(周波数差検出回路出力信号Vsによる発振周波数の設定が完了した状態)のいずれかに切り換え、さらに必要に応じて外部入力信号の

パスの切り換えを行う（後掲の図10のSW1）。周波数検出回路（DFD）2のCLR端子は状態制御回路（SC）3からの入力信号に応じて周波数差検出回路（DFD）2の出力を初期化するためのものである。

【0015】このように状態制御回路（SC）3の出力はスイッチ回路（TSW）4を制御し、PLL本体回路1の回路状態を切り換える役割を持つ。状態制御回路（SC）3の出力とスイッチ回路（TSW）4の具体的な構成およびPLL本体回路1の回路状態については後に詳述する。本実施例のPLL回路は、図4に示すように、電圧制御発振器（VCO）15の制御電圧の値が V_{set} となって電圧制御発振器（VCO）15の実効自走周波数が設定された後は、位相引き込み過程を行うだけで引き込み状態を完了する。従って、本実施例のPLL回路はPLL本体回路のみの同期過程に比べ、非常に高速に引き込み動作を行うことが可能となる。

【0016】図5は本発明による状態制御回路（SC）3の実施例を、また図6、図7および図8には図5の状態制御回路を用いたPLL回路の実施例をそれぞれ示す。ここでは図5の状態制御回路（SC）3と図6のPLL回路の動作について説明し、図7および図8のPLL回路の動作についてはそれぞれ後に詳述する（図23、図26の説明）。状態制御回路（SC）3は、図5に示されているように、第一パルス信号発生回路（IPG）31と第二パルス発生回路（SPG）32とから成る。

【0017】第一パルス発生回路（IPG）31は、単発パルス発生回路あるいは微分回路であり、同期外れ状態に対応して外部から印加されるか、またはPLL内で発生されるトリガ信号301を入力とし、この入力信号の変化に応じて短いパルス幅を持つ制御パルス信号 i_p を出力端子302に形成する。第一パルス発生器（IPG）31の出力信号 i_p は、周波数差検出回路（DFD）2のCLR端子の入力信号とされ、第一パルス信号 i_p が高レベルになると周波数差検出回路（DFD）2の計数値は初期化される。

【0018】第二パルス発生回路（SPG）32は単発パルス発生回路であり、第一パルス発生器（IPG）の出力信号を入力とし、この入力信号の立ち下がりエッジに同期して一定のパルス幅 T_s をもつ制御パルス信号 s_p を出力端子303に形成する。この第二パルス発生回路（SPG）の出力信号 s_p は、図6に示すように、スイッチ回路（TSW）4のSAMP端子に供給され、この出力信号 s_p が高レベルであるとき第一スイッチ（SW1）16aを閉じ、アナログ加算器（AA）19の出力電圧（電圧制御発振器（VCO）15の周波数制御電圧）を第一電圧源（E1）20の値（この場合0V）に設定し、電圧制御発振器（VCO）15を強制的に本来の自走周波数（固有周波数）で発振させる。そして、これと同時に第二スイッチ（SW2）17aを閉じ、周波数差検出回路（DFD）2において外部入力信号の周波数と電圧制御

発振器（VCO）15の発振周波数との周波数差を計数して得られる計数出力信号 V_s を用いてバッファ（BF）18aの電圧値を周波数差検出回路（DFD）2の出力電圧値 V_{set} に設定する。

【0019】次に、第二パルス発生回路（SPG）32の出力信号（ s_p ）303が低レベルになると、第一スイッチ（SW1）16aと第二スイッチ（SW2）17aを開放し、電圧制御発振器（VCO）15の制御電圧をアナログ加算器（AA）19を通してほぼ V_{set} に設定し、これによって電圧制御発振器（VCO）15の出力信号周波数を外部入力信号周波数にほぼ等しくする。以後、本実施例のPLL回路は、従来のPLL回路と同様にアナログ加算器19を通したローパスフィルタ（LPF）14の出力電圧によって電圧制御発振器（VCO）15の位相が微調整され、高速に同期を完了する。なお、第二パルス信号 s_p が低レベルになると、電圧制御発振器（VCO）15の制御端子電圧 V_{vco} は、

$$V_{vco} = V_{set} + V_{LPF}$$

（ V_{set} ：バッファ出力電圧、 V_{LPF} ：ローパスフィルタ出力電圧）とされ、通常 $V_{set} \gg V_{LPF}$ であるので、 $V_{vco} \approx V_{set}$ となる。

【0020】図9に本発明による状態制御回路（SC）の他の実施例を、また図10に本実施例の状態制御回路を用いたPLL回路の実施例を示す。図10の実施例のPLL回路では、同期完了時に定常位相誤差を生じないようにするため、PLL本体回路内部のローパスフィルタ（LPF）14に、抵抗 $RL14a$ と容量 $CL14b$ を直列に接続した完全積分型フィルタを用いている。図9の状態制御回路（SC）3は、第一パルス信号発生器（IPG）31、第二パルス発生器（SPG）32、第三パルス発生器（CPG）33から成る。

【0021】第一パルス発生回路（IPG）31は、単発パルス発生回路あるいは微分回路であり、同期外れ状態に対応して外部から印加されるか、またはPLL内で発生されるトリガ信号301を入力とし、この入力信号の変化に応じて短いパルス幅を持つ制御パルス信号 i_p を出力端子302に形成する回路である。第一パルス発生器（IPG）31の出力信号 i_p は、周波数差検出回路（DFD）2のCLR端子とスイッチ回路（TSW）4のCLR端子に入力され、第一パルス信号 i_p が高レベルになると周波数差検出回路（DFD）2の計数値が初期化され、同時に第四スイッチ（SW4）22dを閉じてPLL本体回路内部のローパスフィルタ（LPF）14の容量 $CL14b$ の両端の電圧差が初期化（0Vに）される。

【0022】第二パルス発生回路（SPG）32は単発パルス発生回路であり、第一パルス発生器（IPG）31の出力信号 i_p を入力とし、この入力信号 i_p の立ち下がりエッジに同期して一定のパルス幅（ T_s ）をもつ制御パルス信号 s_p を出力端子303に形成する。この第二パ

ルス発生回路 (SPG) 32の出力信号 s_p は、図10に示すように、スイッチ回路 (TSW) 4のSAMP端子に供給され、この出力信号が高レベルであるとき第一スイッチ (SW1) 16dを開放して外部入力信号 (INPUT) 101のPLL本体回路への供給を遮断する。この時、第二スイッチ (SW2) 17d、第四スイッチ (SW4) 22dは開放された状態であり、第三スイッチ (SW3) 21dは導通された状態にある。

【0023】第三パルス発生回路 (CPG) 33は単発パルス発生回路であり、第二パルス発生器 (IPG) 32の出力信号 s_p を入力とし、この入力信号 s_p の立ち下がりがエッジに同期して一定のパルス幅 (Tc) をもつ制御パルス信号 o_p を出力端子304に形成する。この第三パルス発生回路 (SPG) 33の出力信号 o_p は、図10に示すように、スイッチ回路 (TSW) 4のSET端子に供給され、この出力信号 o_p が高レベルであるとき第三スイッチ (SW3) 21dを開放して周波数差検出回路 (DFD) 2の入力を絶ち、周波数差検出回路 (DFD) 2の出力を保持状態にする。

【0024】そして、これと同時に第二スイッチ (SW2) 17dを閉じ、PLL本体回路内部のロウパスフィルタ (LPF) 14の容量CL14bを周波数差検出回路 (DFD) 2の出力信号 V_s によって充電し、これによって、局部発振器 (VCO) 15の発振周波数を外部入力信号周波数にほぼ等しく設定する。この時、第一スイッチ (SW1) 16dは接続された状態であり、第四スイッチ (SW4) 22dは開放された状態にある。この後、第三パルス信号 (c_p) 304が低レベルになると第二スイッチ (SW2) 17dを開放し、第三スイッチ (SW3) 21dを閉じ、本PLL回路は従来のPLL回路と同様にロウパスフィルタ (LPF) 14の出力電圧によって電圧制御発振器15は位相を微調整され、PLL回路の同期は高速に完了する。

【0025】このPLL回路の周波数差検出回路 (DFD) 2は、後述のように外部入力信号の立ち上がりエッジ (あるいは立ち下がりエッジ) で作動するので、周波数差検出回路 (DFD) 2と外部入力信号の接続を遮断すると、周波数差検出回路 (DFD) 2の出力の値は変化せず保持状態となる。また、図10に示したPLL回路の実施例において、第一スイッチ (SW1) 16dは状態制御回路 (SC) 3の第二パルス出力信号 s_p が高レベルにあるとき、PLL本体回路1への外部入力信号のバスを遮断するために設けられたスイッチであり、その設置の位置は外部信号入力端子100と位相比較器 (PC) 11の間に限定されず、図11に示すPLL回路のように斜線を施した何れかの場所 (16d-1、16d-2、16d-3) に少なくとも1つの設ければよい。さらに、電圧制御発振器 (VCO) 15の制御端子を開放した状態で、電圧制御発振器 (VCO) 15が本来の自走周波数 (固有周波数) で発振することが可能な場合には、図11に二重枠で示

す部分 (16d-4、16d-5) に第一スイッチ (SW1) 16dを設置することもできる。

【0026】本発明による周波数差検出回路 (DFD) 2は位相比較型周波数差検出回路であり、その周波数差の検出原理は以下の通りである。周波数差を比較する2つの信号の位相を θ_1 、 θ_2 、周波数を f_1 、 f_2 とすると、2つの信号の位相差 $\Delta\theta$ および周波数差 Δf は

$$\Delta\theta = \theta_1 - \theta_2$$

$$\Delta f = f_1 - f_2$$

$$= (d\theta_1/dt - d\theta_2/dt) / 2\pi$$

(ここでは、位相および周波数の基準をそれぞれ θ_2 、 f_2 とした。) と表すことができる。ここで、一定時間 Δt における両信号間の平均周波数差 Δf_{av} は

$$\Delta f_{av} = \Delta(\theta_1 - \theta_2) / \Delta t / 2\pi$$

$$= \Delta(\Delta\theta) / \Delta t / 2\pi$$

となる。

【0027】これより2つの入力信号の周波数差は、ある一定時間 Δt の間に両入力信号間の位相差の変化量を測定することより、間接的に測定することができる。そして、本実施例の周波数差検出回路 (DFD) 及び後述の簡易型周波数検出回路は以下に説明するように、一定時間内の両入力信号の位相差を π [rad] 単位に検出するものである。この2つの入力信号間の位相差を比較することによる周波数差の検出方法は2つの利点を持っている。第一の利点は、入力信号の一方の信号がNRZ符号信号であってもNRZ信号のクロック信号周波数と他の入力信号周波数との差が検出できること。第二の利点は位相比較器 (PC) 11との回路の共用ができることである。

【0028】図12および図13に本発明による周波数差検出回路 (DFD) 2の実施例をそれぞれ示す。このうち図13に示す周波数差検出回路 (DFD) 2は、図12の周波数差検出回路 (DFD) 2の簡易型である。以下に、図12に示す周波数差検出回路 (DFD) 2について説明を行う。本実施例の周波数差検出回路 (DFD) 2は、第一、第二、第三、第四、第五フリップフロップ (FF1、FF2、FF3、FF4、FF5) 23a、24a、25a、26a、27a、第一、第二論理和回路 (OR1、OR2) 28a、29a、第一カウンタ回路 (CO1) 30、D/A変換器 (DA) 41、出力変調器 (OM) 42から成る。

【0029】第一フリップフロップ回路 (FF1) 23aはクリア優先型のフリップフロップ回路であり、外部入力信号をCLK入力、電圧制御発振器 (VCO) 15の出力信号をDATA入力 (D入力)、電圧制御発振器 (VCO) 15の反転信号をCLR入力とし、図14に示すように、外部入力信号の立ち上がりエッジの位相が電圧制御発振器 (VCO) 15の立ち上がりエッジの位相より遅れていると、出力端子に外部入力信号の立ち上がりエッジに同期した高レベルの信号を出力する。第二フリップフロップ回路 (FF2) 24aはクリア優先型のフリップ

フリップフロップ回路であり、外部入力信号の反転信号をCLK入力、電圧制御発振器(VCO)15の出力信号をDATA入力(D入力)、電圧制御発振器(VCO)15の反転信号をCLR入力とし、図14に示すように、外部入力信号の立ち下がりエッジの位相が電圧制御発振器(VCO)15の立ち上がりエッジの位相より遅れていると、出力端子に外部入力信号の立ち下がりエッジに同期した高レベルの信号を出力する。

【0030】第三フリップフロップ回路(FF3)25aはクリア優先型のフリップフロップ回路であり、外部入力信号をCLK入力、電圧制御発振器(VCO)15の出力信号の反転信号をDATA入力(D入力)、電圧制御発振器(VCO)15の出力信号をCLR入力とし、図14に示すように外部入力信号の立ち上がりエッジの位相が電圧制御発振器(VCO)15の立ち上がりエッジの位相より進んでいると、出力端子に外部入力信号の立ち上がりエッジに同期した高レベルの信号を出力する。第四フリップフロップ回路(FF4)26aはクリア優先型のフリップフロップ回路であり、外部入力信号の反転信号をCLK入力、電圧制御発振器(VCO)15の出力信号の反転信号をDATA入力(D入力)、電圧制御発振器(VCO)15の出力信号をCLR入力とし、図14に示すように、外部入力信号の立ち下がりエッジの位相が電圧制御発振器(VCO)15の立ち上がりエッジの位相より進んでいると、出力端子に外部入力信号の立ち下がりエッジに同期した高レベルの信号を出力する。

【0031】この様に第一、第二、第三、第四フリップフロップ(FF1, FF2, FF3, FF4)23a, 24a, 25a, 26aは外部入力信号の立ち上がりあるいは立ち下がりエッジが入力する毎に、外部入力信号と電圧制御発振器(VCO)15出力信号の位相の進み遅れの関係を判定する回路である。第一論理和回路(OR1)28aは第一フリップフロップ回路(FF1)23aの出力信号と第二フリップフロップ回路(FF2)24aの出力信号を入力とし、両入力信号の論理和を出力する回路である。第二論理和回路(OR2)29aは第三フリップフロップ回路(FF3)25aの出力信号と第四フリップフロップ回路(FF4)26aの出力信号を入力とし、両入力信号の論理和を出力する回路である。

【0032】第五フリップフロップ(FF5)27aはDATA入力(D入力)が高レベルに固定(プルアップ)され、第一論理和回路(OR1)28aの出力信号をCLK端子入力、第二論理和回路(OR2)29aの出力信号をCLR端子入力とし、外部入力信号の位相と電圧制御発振器(VCO)15の出力信号の位相の遅れ進みの関係が変化すると、第一論理和回路(OR1)28aの出力信号に同期して(外部入力信号にほぼ同期して)出力信号を反転させたパルス信号を出力する。この様に、第五フリップフロップ(FF5)27aは、外部入力信号と電圧制御発振器(VCO)15の出力信号の位相関係が電圧制

御発振器(VCO)15の位相に換算して π [rad]だけ変化すると、出力が変化する。従って、第五フリップフロップ(FF5)27aの出力信号のパルス数(反転回数)を計数すると、両入力信号間の位相差が計測でき、さらにこの計数時間を固定することで両入力信号間の周波数差を計測できる。

【0033】第一カウンタ(CO1)30はCLR端子付きのカウンタ回路であり、第五フリップフロップ回路(FF5)27aの出力信号を入力とし、第五フリップフロップ回路(FF5)27aの出力信号のパルス数を計数し出力する。第一カウンタ(CO1)30の出力信号の値COUNTは、外部入力信号周波数と電圧制御発振器(VCO)15周波数の差 Δf_{av} と以下の関係がある。

$|\Delta f_{av}| = \text{COUNT} / \Delta t$ (但し、 Δt はサンプリング時間)

この様に、第一カウンタ(CO1)30の出力信号は両入力信号間の周波数差に比例する。

【0034】D/A変換器(DA)41はLSBビット入力を第五フリップフロップ回路(FF5)27aの出力信号、上位ビット入力を第一カウンタ(CO1)30の出力信号とし、外部入力信号周波数と電圧制御発振器(VCO)15の発振周波数の差に応じたアナログ信号を出力する。従って、D/A変換器(DA)41の出力信号の値DAと両入力信号の周波数の差 Δf_{av} の関係は

$$DA = K (2 \text{COUNT} / \Delta t)$$

$$DA = 2K |\Delta f_{av}|$$

$$= K' |\Delta f_{av}|$$

(但し、KはD/A変換器の利得、 $K' = 2K$)となる。従って、D/A変換器(DA)41の出力信号は両入力信号の周波数差に応じて変化することになるので、D/A変換器の利得Kを適当に調整することにより電圧制御発振器(VCO)15の実効自走周波数を制御することが可能となる。そして、この出力信号は周波数差検出回路2の実質的な出力信号となる。

【0035】出力変調器(OM)42はD/A変換器(DA)41の出力信号を入力とし、この入力信号を適当に変調した信号を出力端子に出力する。

$$O_m = f(DA)$$

(O_m は出力変調器(OM)42の出力信号値) 出力変調器(OM)42は、上記局部発振器15の実効周波数を制御するための制御信号(周波数差検出器の出力信号)と外部入力信号周波数と上記局部発振器(VCO)15の発振周波数との差の関係が線形関係でないときに用いる。

【0036】次に、図13に示した簡易型の周波数差検出回路(DFD)2の動作について説明する。図13に示した周波数差検出回路(DFD)2は、図12の周波数差検出回路(DFD)2の簡易型であり、図12の回路における第二、第三、第四フリップフロップ回路(FF1, FF2, FF3, FF4)24a, 25a, 26aを省略した回路である。図13の周波数差検出回路(DFD)2

は、図15に示すように、外部入力信号の立ち上がりエッジの位相が電圧制御発振器(VCO)15出力信号の立ち上がりエッジの位相より遅れている時のみに、第一フリップフロップ回路(FF1)22bの出力信号を高レベルに設定し、両入力信号間の位相関係(遅れ、進み)を判定する。

【0037】すなわち、外部入力信号の立ち上がりエッジが入力した時に、第一フリップフロップ回路(FF1)23bの出力信号が高レベルなら、外部入力信号の位相が電圧制御発振器(VCO)15の出力信号の位相より遅れていると判断し、また第一フリップフロップ回路(FF1)23bの出力信号が低レベルなら、外部入力信号の位相が電圧制御発振器(VCO)15の出力信号の位相より進んでいると判断する。この様に、第一フリップフロップ回路(FF1)23bの出力信号は両入力信号の位相の正負の関係を出力しているので、このパルスの反転回数を計数すれば、両入力信号間の位相差および周波数差を計測できる。従って、図13に示した簡易型周波数差検出回路(DFD)2は、図12に示した周波数差検出回路(DFD)2に比べて、周波数差の検出精度は劣るが、回路構成を簡略化できる。

【0038】以上のような構成の周波数差検出回路(図12、図13)を、図2、図3または図6、図7、図8または図10に示すPLL回路の周波数差検出回路2として用いることにより、PLLの高速引き込み化を図ることができる。また、上記実施例で示した周波数差検出回路(DFD)2は、図16に示すように、電圧制御発振器(VCO)15の出力信号と外部入力信号の周波数の比が約 $n:1$ ($n>1$)であるときに両者の周波数の差を比較することができる(図14、図15では $n=2$ である)。なお、本実施例で示した周波数差検出回路(DFD)2の出力は外部入力信号の周波数と電圧制御発振器(VCO)15の発振周波数との差の絶対値のみを出力する回路であるが、さらに2つの入力信号間の周波数の差の符号を検出するデジタル回路を付加する工夫を行った周波数差検出回路を用いて電圧制御発振器(VCO)15の実効自走周波数を制御する具体的な方法について以下に詳しく述べる。

【0039】図17に図12または図13の周波数差検出回路(DFD)2を用いたPLL回路の実施例を示す。前述したように、図12または図13の周波数差検出回路(DFD)2は2つの入力信号の周波数差の絶対値しか検出することができない。そこで、本実施例では2つの入力信号間の周波数差の正負の符号を検出する回路を周波数差検出回路(DFD)2の内部に取り付けた周波数差検出回路(DFD)2bを使用し、2つの入力信号間の周波数の差の絶対値($|\Delta f|$)及び符号

(±)の情報を持つ信号を出力させ、この信号を用いて、電圧制御発振器(VCO)15の実効自走周波数を設定し、PLLの高速引き込み化を図るようにしている。

【0040】また、図17に示した実施例のPLL回路では、周波数差検出回路(DFD)2bの2つの出力信号によってPLL本体回路を制御するようにしているので、第二スイッチ(SW2, SW2a)が2つ設置されている。ただし、これらの第二スイッチ(SW2, SW2a)17e, 17eaの開閉のタイミングは、図6の第二スイッチ(SW2)17aと同じである。この実施例のPLL回路は、図6の実施例と同一の制御形式をもつPLL回路の例であるが、図7、図8、図10の制御形式を持つPLL回路についても同様に本実施例の周波数制御回路(DFD1)2bを用いることができる。2つの入力信号間の周波数の差の符号情報は、周波数差検出回路(DFD)2のある出力信号のパルス幅を計測する方法等で回路規模が多少増大するが比較的簡単な回路構成で検出できる。

【0041】図18に、図12、図13の周波数差検出回路(DFD)2を用いたPLL回路の他の実施例を示す。前述したように、図12、図13の周波数差検出回路(DFD)2は、2つの入力信号の周波数差の符号を検出することができない。そこで、図18に示したPLL回路は、図19に示すように電圧制御発振器(VCO)15の本来の自走周波数(固有周波数) f_r を外部入力信号周波数より所望の値だけ低く(あるいは高く)設定しておき、外部入力信号周波数と電圧制御発振器(VCO)15の出力信号周波数の符号関係を検出することなく、図12、図13の周波数差検出回路(DFD)2のみで、電圧制御発振器(VCO)15の実効自走周波数 f_{vco} を制御するPLL回路である。

【0042】本実施例の電圧制御発振器(VCO)15の実効自走周波数の制御原理は以下の通りである。まず、外部入力信号周波数 f_{in} が $f_0 \pm f_{dev}$ (f_0 は入力信号の中心周波数、 f_{dev} は入力信号の周波数変動の大きさを表す)であり、電圧制御発振器(VCO)15の出力信号の本来の自走周波数(固有周波数)を f_r とする。このとき、 f_{in} と f_r の関係が以下の関係を満たしているように固有周波数 f_r を設定するならば、 $f_r < f_0 - f_{dev}$

(あるいは $f_r > f_0 + f_{dev}$) 図19に示すように、両入力信号の周波数差 $\Delta f (= f_{in} - f_{vco} = f_{in} - f_r)$ は必ず正(あるいは負)となる。従って、入力信号間の周波数差の絶対値の情報しか持たない図12、図13の周波数差検出回路(DFD)2の出力信号 $|\Delta f|$ を符号情報を持った信号 $+|\Delta f|$ (あるいは $-|\Delta f|$)とみなし、電圧制御発振器(VCO)15の実効発振周波数を制御することができる。

【0043】本実施例によるPLL回路を用いると、周波数差検出回路の回路規模を増大させることなくPLLの高速引き込み化を図ることができる。また、この実施例のPLL回路は図6の制御形式をもつPLL回路の例であるが、図7、図8、図10の制御形式を持つPLL

回路についても同様に本実施例の周波数制御方式を適用することができる。

【0044】図20に、図12、図13に示されている周波数差検出回路(DFD)2を用いたPLL回路の他の実施例を示す。前述したように図12、図13の周波数差検出回路(DFD)2は2つの入力信号の周波数差の符号関係を検出することができない。図20に示したPLL回路は、同期外れ状態に対応するトリガ信号301で起動される状態制御回路(SC)3の出力信号(ip)302(周波数差検出回路のCLR信号)によって動作する符号制御信号発生回路としての第6フリップフロップ回路(FF6)5の出力と、図12、図13の周波数差検出回路(DFD)2の出力 $|\Delta f|$ を用い、電圧制御発振器(VCO)15の実効自走周波数を制御するPLL回路である。

【0045】第6フリップフロップ回路(FF6)5は状態制御回路(SC)3の出力信号(ip)302を入力とするトグルフリップフロップであり、入力信号パルス数が奇数の時は高レベル(あるいは低レベル)、偶数の時には低レベル(あるいは高レベル)の値を出力する。そして、この出力信号を外部入力信号周波数と電圧制御発振器(VCO)15の出力周波数の差の符号情報信号とみなし、電圧制御発振器(VCO)15の実効自走周波数を制御する。すなわち、第6フリップフロップ回路(FF6)5の出力信号が正であるとき $\Delta f > 0$ ($\Delta f = f_{in} - f_{vco}$)、負であるときには $\Delta f < 0$ と仮定し電圧制御発振器(VCO)15の実効自走周波数を制御する。

【0046】以下に、 $\Delta f > 0$ ($\Delta f = f_{in} - f_{vco}$)の場合におけるPLL回路の引き込み過程(図21)について説明する。最初PLL回路は同期はずれ状態にあるとする。この状態でトリガ信号301が状態制御回路(SC)3に入力されると、状態制御回路(SC)3は出力端子302にパルス信号ipを出力し、第6フリップフロップ回路(FF6)5の出力を高レベルにする。今、第6フリップフロップ回路(FF6)5の出力信号が高レベルであるとき $\Delta f > 0$ ($\Delta f = f_{in} - f_{vco}$)と設定していたとすると、状態制御回路(SC)3の出力信号spの立ち上がりエッジに同期して、周波数差検出回路(DFD)2と第6フリップフロップ回路(FF6)5の出力信号により電圧制御発振器(VCO)15の出力周波数は Δf だけ上昇させられ、PLL回路は速やかに同期する。

【0047】次に、 $\Delta f < 0$ ($\Delta f = f_{in} - f_{vco}$)の場合におけるPLL回路の引き込み過程(図22)について説明する。最初PLL回路は同期はずれ状態にある。この状態で、トリガ信号301が状態制御回路(SC)5に入力されると、状態制御回路(SC)5は出力端子302にパルス信号ipを出力し、第6フリップフロップ回路(FF6)5の出力を高レベルにする。すると、周波数差検出回路(DFD)2と第6フリップフロ

ップ回路(FF6)5の出力信号により電圧制御発振器(VCO)15の出力周波数は Δf だけ上昇させられ、PLL回路は同期外れ状態のままとなる。

【0048】そして、この状態で再びトリガ信号301が入力されたとすると、状態制御回路(SC)3の出力信号spによって、電圧制御発振器(VCO)15の発振周波数は初期化され、(spが高レベルになると第一スイッチ(SW1)16fが閉じられ、電圧制御発振器(VCO)15は本来の自走周波数(固有周波数)で発振させられる)、同時に第6フリップフロップ回路(FF6)5の出力は低レベルとなり、周波数差検出回路(DFD)2と第6フリップフロップ(FF6)5の出力信号により電圧制御発振器(VCO)15の出力周波数は Δf だけ降下させられ、PLL回路は速やかに同期状態に移行する。

【0049】本実施例によるPLL回路を用いると、周波数差検出回路の回路規模を増大させることなく(フリップフロップ1個の増加で済む)PLLの高速引き込み化を図ることができる。また、この実施例のPLL回路は図6の実施例の制御形式をもつPLL回路の例であるが、図7、図8、図10の制御形式を持つPLL回路についても同様に本実施例の周波数制御方式を適用することができる。

【0050】図23は、これ迄で述べた周波数差検出回路(DFD)2(あるいは2b)を用いたPLL回路の具体的な実施例を示したものであり、図7のPLL回路と同じものであるが、ロウパスフィルタ(LPF)14の具体例を示してある。図23の実施例では、周波数差検出回路(DFD)2の出力をロウパスフィルタ(LPF)14の容量(CL)14bに供給して電圧制御発振器(VCO)15の実効自走周波数を制御したものである。以下に、図23に示したPLL回路について説明する。

【0051】図24に、図23の実施例のPLL回路における引き込み過程を示す。最初、PLL回路は同期外れ状態にあるとする。そして、同期はずれ状態に対応してトリガ信号が状態制御回路(SC)3に入力されると、第一パルス信号ipが端子302より出力され、この信号によって、周波数差検出回路(DFD)2の出力が初期化される。

【0052】次に、第一パルス信号(ip)302の立ち下がりエッジに同期して、第二パルス信号(sp)303が出力され、この出力により第一スイッチ(SW1)16gを閉じ、電圧制御発振器(VCO)15を本来の自走周波数(固有周波数)で発振させる。そして、周波数差検出回路(DFD)2によって外部入力信号の周波数と電圧制御発振器(VCO)15の本来の自走周波数(固有周波数)の周波数差が検出され、第二スイッチ(SW2)17gを通して、周波数差検出回路(DFD)2の出力信号Vs($|\Delta f|$)は、ロウパスフィルタ(LPF)14の容量(CL)14bを充電する。

【0053】続いて、第二パルス信号(s p) 303の出力が低レベルになると、第一スイッチ(SW1) 16g、第二スイッチ(SW2) 17gを開放する。すると、PLL本体回路内のロウパスフィルタ(LPF) 14の容量CL 14bの初期電位は、第二スイッチ(SW2) 17g開放直前の周波数差検出回路(DFD) 2の出力信号電圧レベルVsetに設定され、以後PLL回路は通常(従来形)のPLL回路の動作により急速に同期を完了する。また、本実施例のPLL回路をより確実に動作させるためには、図25に示されているPLL回路のように、ディレイ回路(DELAY)を設け、第一スイッチ(SW1) 16gのスイッチング動作を第二スイッチ(SW2) 17gより僅かに早く完了させるとよい。

【0054】本実施例のPLL回路では、図18に示した方式、すなわち周波数差検出回路(DFD) 2を用い電圧制御発振器(VCO) 15の実効自走周波数を制御する方式を適用しているが、図17の実施例のように符号付きの信号を出力する周波数差検出回路(DFD) 2bを用いたり、あるいは図19の実施例のように周波数差検出回路(DFD) 2と第6フリップフロップ(FF6)を用いて電圧制御発振器(VCO) 15の実効自走周波数を制御してもよい。

【0055】図26は電圧制御発振器(VCO) 15の自走周波数を決定するパラメータを制御することによって電圧制御発振器(VCO) 15の実効自走周波数を制御する方法を用いたPLL回路の具体的な実施例を示したものであり、図8のPLL回路と同じものである。図26の実施例に示すPLL回路では電圧制御発振器(VCO) 15にエミッタ結合マルチバイブレータ回路を用いており、電圧制御発振器(VCO) 15の具体的な回路構成例が図27に示されている。

【0056】図27のエミッタ結合型マルチバイブレータ回路の発振周波数f_{vco}は以下の式で表される(参考文献: 柳沢健 著、PLL応用回路、p27、総合電子出版社)。

$$f_{vco} = f_r = 1 / 4 C_c R_c = K_1 / C_c, \quad (K_1 = 1 / 4 R_c)$$

ここで、エミッタ結合型マルチバイブレータ回路の結合容量C_cの値を変化させる事ができるものを用いると、エミッタ結合型マルチバイブレータ回路の出力信号周波数f_{vco}は、

$$f_{vco} = f_r + \Delta f = K_1 / (C_c + \Delta C)$$

で表すことができる。ただし、C_c = C_o + ΔCで、C_oは中心周波数を決定する容量、ΔCは入力信号の周波数変化のための容量変化分である。そして、C_c >> ΔCなる関係が成り立つならば、エミッタ結合型マルチバイブレータ回路の出力信号周波数f_{vco}は、

$$f_{vco} \sim K_1 / C_c - K_1 \Delta C / C_c^2$$

となる。

【0057】さらに、PLLが同期したときには、電圧

制御発振器(VCO) 15の発振周波数と外部入力信号周波数は等しいので、

$$f_{vco} = f_{in} = f_o + \Delta f$$

となる。(f_{in}: 外部入力信号の中心周波数、Δf: 外部入力信号と外部入力信号の中心周波数との周波数差) 従って、

$$\Delta f = -K_1 \Delta C / C_c^2$$

$$-\Delta C = K' \Delta f \quad (K' = C_c^2 / K_1)$$

上式の右辺は、周波数差検出回路(DFD) 2の出力信号値であるので、エミッタ結合型マルチバイブレータの結合容量を周波数検出器(DFD) 2の出力に比例して減少させるように制御すれば、本実施例のPLL回路の電圧制御発振器(VCO) 15の実効自走周波数を制御できることがわかる。

【0058】以下に、本実施例のPLL回路の動作を説明する。図28に本実施例のPLL回路の引き込み過程を示す。最初PLL回路は同期外れ状態にあるとする。そして、同期はずれ状態に対応してトリガ信号30iが状態制御回路(SC) 3に入力されると、第一パルス信号i pが端子302より出力され、この信号によって、周波数差検出回路(DFD) 2の出力が初期化される。

【0059】次に、第一パルス信号(i p) 302の立ち上がりエッジに同期して、第二パルス信号(s p) 303が出力されると、この出力により第一スイッチ(SW1) 16hが閉じられ、電圧制御発振器(VCO) 15のCLR端子に高レベルの信号が入力され、電圧制御発振器(VCO) 15の結合容量C_cはC_oに設定され、電圧制御発振器(VCO) 15は本来の自走周波数(固有周波数)で発振する(但し、電圧制御発振器(VCO) 15はCLR端子入力が高レベルである時、CONT端子入力信号を受け付けないCLR優先型の電圧制御発振器(VCO)とする)。さらに、第二スイッチ(SW2) 17hが閉じられ、バッファ回路(BF) 18hの出力は周波数差検出回路(DFD) 2の出力信号V_s(|Δf|)を保持する。

【0060】次に、第二パルス信号(s p) 302が低レベルになると、第一スイッチ(SW1) 16h、第二スイッチ(SW2) 17hは開放され、電圧制御発振器(VCO) 15の制御電圧はロウパスフィルタ(LPF) 14の出力によって制御されるとともに、バッファ回路(BF) 18hの出力信号の値は保持状態となる。また、この時、電圧制御発振器(VCO) 15のCLR端子入力は低レベルとなるので、電圧制御発振器(VCO) 15の結合容量C_cの値は、バッファ回路(BF) 18hの出力によって制御され、電圧制御発振器(VCO) 15の出力信号の周波数はほとんど瞬間的に入力周波数に等しくなり、以後、本実施例のPLL回路はロウパスフィルタ(LPF) 14の出力によって電圧制御発振器(VCO) 15の出力信号位相を微調整し、同期を完了する。

【0061】本実施例で示したPLL回路では、電圧制御発振器（VCO）15にエミッタ結合型マルチバイブレータ回路を用いており、その周波数差検出回路（DFD）2の出力信号の値に応じて結合容量の値を変化させ実効自走周波数を変化させているが、抵抗 R_c の値を変化させたり、電圧制御発振器（VCO）15の回路構成を変化させるなどして電圧制御発振器（VCO）15の実効自走周波数を変化させることも可能である。また、本実施例のPLL回路では、図18に示されている方式、すなわち周波数差検出回路（DFD）2を用い電圧制御発振器（VCO）15の実効自走周波数を制御する方式を適用しているが、図17の実施例のように符号付きの信号を出力する周波数差検出回路（DFD）2bを用いたり、あるいは図19の実施例のように周波数差検出回路（DFD）2と第6フリップフロップ（FF6）を用いて電圧制御発振器（VCO）15の実効自走周波数を制御するようにしてもよい。

【0062】図29に図12の周波数検出回路（DFD）2の出力を使用した位相比較器（PC）の実施例を、また図30には図29の位相比較器を用いたPLL回路の実施例を示す。本実施例の位相比較器（PC）11は、外部入力信号の立ち上がりエッジあるいは立ち下がりエッジと電圧制御発振器（VCO）15の立ち上がりエッジ間の時間差に応じたパルス幅を持つパルス信号をUP出力端子111またはDOWN出力端子112に出力する。

【0063】図29の実施例では、周波数差検出回路（DFD）2の第一フリップフロップ回路（FF1）23bが、外部入力信号の立ち上がりエッジの位相が電圧制御発振器（VCO）15の出力信号の立ち上がりエッジの位相より遅れている時に、外部入力信号の立ち上がりエッジに同期して高レベルに変化する信号を出力する。この時、出力信号のパルス幅 T_{FF1} は、図31に示すように、

$$T_{FF1} = T_{vco} / 2 - T_{del}$$

T_{vco} : VCO出力信号の周期

T_{del} : 外部入力信号の立ち上がりエッジとVCO出力信号の立ち上がりエッジの時間差となる。

【0064】周波数差検出回路（DFD）2の第二フリップフロップ回路（FF2）24bの出力信号は、外部入力信号の立ち下がりエッジの位相が電圧制御発振器（VCO）15の出力信号立ち上がりエッジの位相より遅れている時に、外部入力信号の立ち下がりエッジに同期して高レベルの信号を出力する。この出力信号のパルス幅 T_{FF2} は、図31に示すように、

$$T_{FF2} = T_{vco} / 2 - T_{del}$$

T_{del} : 外部入力信号の立ち下がりエッジとVCO出力信号の立ち上がりエッジの時間差となる。

【0065】周波数差検出回路（DFD）2の第三フリ

ップフロップ回路（FF3）25bの出力信号は、外部入力信号の立ち上がりエッジの位相が電圧制御発振器（VCO）15の出力信号の立ち上がりエッジの位相より進んでいる時に、外部入力信号の立ち上がりエッジに同期して高レベルの信号を出力する。この出力信号のパルス幅 T_{FF3} は、図32に示すように、

$$T_{FF3} = T_{adv}$$

T_{adv} : 外部入力信号の立ち上がりエッジとVCO出力信号の立ち上がりエッジの時間差となる。

【0066】周波数差検出回路（DFD）2の第四フリップフロップ回路（FF4）26bの出力信号は、外部入力信号の立ち下がりエッジの位相が電圧制御発振器（VCO）15の出力信号の立ち上がりエッジの位相より進んでいる時に、外部入力信号の立ち下がりエッジに同期して高レベルの信号を出力する。この出力信号のパルス幅 T_{FF4} は、図32に示すように、

$$T_{FF4} = T_{adv}$$

T_{adv} : 外部入力信号の立ち下がりエッジとVCO出力信号の立ち上がりエッジの時間差となる。

【0067】この様に、第三、第四フリップフロップ回路（FF3、FF4）25b、26bは外部入力信号の立ち上がりあるいは立ち下がりエッジの位相が電圧制御発振器（VCO）15の出力信号の立ち上がりエッジの位相より進んでいるときにパルス信号を出力し、そのパルス幅 T_{FF3} 、 T_{FF4} は外部入力信号の立ち上がりあるいは立ち下がりエッジと電圧制御発振器（VCO）15の出力信号の立ち上がりの時間差に等しいので、この出力は位相比較器（PC）のUP端子出力111を形成していることがわかる。

【0068】また、第一、第二フリップフロップ回路（FF1、FF2）23b、24bは、外部入力信号の立ち上がりあるいは立ち下がりエッジの位相が電圧制御発振器（VCO）15の出力信号の立ち上がりエッジの位相より遅れているときにパルス信号を出力するが、この出力信号のパルス幅 T_{FF1} 、 T_{FF2} は外部入力信号の立ち上がりあるいは立ち下がりエッジと電圧制御発振器（VCO）15出力信号の立ち上がりの時間差に等しくなく、これを電圧制御発振器（VCO）15の出力信号の周期の1/2から差し引いたものとなる。

【0069】そして、この出力信号のパルス幅を基にして、外部入力信号の立ち上がりあるいは立ち下がりエッジと電圧制御発振器（VCO）15出力信号の立ち上がりエッジの時間差に応じたパルス幅を持つ信号を、DOWN出力端子112に出力する論理回路が本実施例の位相比較器（PC）11である。本実施例の位相比較回路は3入力論理積回路（AND1）43のみで構成され、外部入力信号の位相が電圧制御発振器（VCO）15の出力信号の位相より遅れているときに、周波数差検出回路（DF

D) 2の遅れ位相の情報を持つ第一論理和回路(OR 1) 28bの出力信号と同一のパルス幅を有するパルス信号の成形を行い、down信号出力とし、外部入力信号の位相が電圧制御発振器(VCO) 15の出力信号の位相より進んでいるときには、周波数検出回路(DFD) 2の第二論理和回路(OR 2)の出力信号が直接up信号111とする。

【0070】図29の位相比較器(PC) 11を構成する3入力論理積回路(AND 1) 43は、第一、第二フリップフロップ回路(FF 1, FF 2) 23b, 24bの出力信号の論理和信号(OR 1) 28bの反転信号、電圧制御発振器(VCO) 15の出力信号、第五フリップフロップ(FF 5) 27bの出力信号を入力とし、図33に示すように、外部入力信号の位相が電圧制御発振器(VCO) 15の出力信号の位相より遅れているときに $T_{AND1} = T_{vco}/2 - (T_{vco}/2 - T_{del}) = T_{del}$
 T_{del} : 外部入力信号の立ち上がりあるいは立ち下がりエッジとVCO出力信号の立ち上がりエッジの時間差なるパルス幅を持つ信号を形成し、位相比較器(PC)のDOWN出力端子に適した信号を出力することがわかる。

【0071】本実施例の位相比較器の利点は2つあり、第一にPLL回路の回路規模を大幅に縮小できること、第二に図34に示すようなフィードバック接続(点線部)を有する従来形の位相比較器を用いることなく、外部入力信号の位相と電圧制御発振器(VCO) 15の出力信号の位相を比較することが可能となり、PLL回路が同期を完了した後に、位相比較器(PC) 11の出力がほぼ零となり、出力信号ノイズを低減できることである。本実施例のPLL回路では、図18に示した方式、すなわち周波数差検出回路(DFD) 2を用い電圧制御発振器(VCO) 15の実効自走周波数を制御する方式を適用しているが、図17の実施例のように符号付き信号を出力する周波数差検出回路(DFD) 2bを用いたり、あるいは図19の実施例のように周波数差検出回路(DFD) 2と第6フリップフロップ(FF 6)を用いて電圧制御発振器(VCO) 1の実効自走周波数を制御するようにしてもよい。

【0072】図35に本発明による平滑フィルタ(SF) 12'の実施例を、また図36にその平滑フィルタを用いたPLL回路の実施例を示す。本実施例の平滑フィルタ(SF) 12'は図12の周波数差検出回路(DFD) 2のパルス状の出力信号OR 1, OR 2を、外部入力信号と電圧制御発振器15の出力信号VCOとの位相差に応じた直流信号を持つ信号に波形整形する回路である。本実施例の平滑フィルタ(SF) 12'は、第七、第八、第九、第十フリップフロップ回路(FF 7, FF 8, FF 9, FF 10) 12a, 12b, 12c, 12d、第三、第四、第五論理和回路(OR 3, OR 4, OR 5) 12e, 12f, 12g、第一、第二容量(C 1, C 2) 12h, 12i、第一、

第二電流源(J 1, J 2) 12j, 12k、第二電圧源(E 2) 12l、第四、第五、第六、第七、第八スイッチ(SW 4, SW 5, SW 6, SW 7, SW 8) 12m, 12n, 12o, 12p, 12q、電流電圧変換器(V/A) 12rから成る。

【0073】第七フリップフロップ回路(FF 7) 12aは、クリア優先型ディレイフリップフロップであり、高レベル信号をデータ入力(D入力)、図12に示されている周波数差検出回路(DFD) 2の第一論理和回路28aの出力OR 1の反転信号をクロック入力端子CLKへの入力信号、電圧制御発振器15の出力信号VCOをクリア端子CLRへの入力信号とし、CLK入力信号の立ち上がりエッジに同期したパルス幅 $T_{vco}/2$ の出力信号を形成する(T_{vco} は電圧制御発振器15の出力信号VCOの周期)。第八フリップフロップ回路(FF 8) 12bは、クリア優先型ディレイフリップフロップであり、高レベル信号をデータ入力(D入力)、図12に示されている周波数差検出回路(DFD) 2の第二論理和回路29aの出力OR 2の反転信号をクロック入力端子CLKへの入力信号、電圧制御発振器15の出力VCOの反転信号をクリア端子CLRへの入力信号とし、CLK入力信号の立ち上がりエッジに同期したパルス幅 $T_{vco}/2$ の出力信号を形成する。

【0074】第九フリップフロップ回路(FF 9) 12cは、クリア優先型ディレイフリップフロップであり、高レベル信号をデータ入力(D入力)入力、第七フリップフロップ回路(FF 7) 12aの出力の反転信号をクロック入力端子CLKへの入力信号、第五論理和回路(OR 5) 12gの出力信号をクリア端子CLRへの入力信号とし、CLK入力信号の立ち上がりエッジに同期して高レベル信号を出力し、図12の第一、第二論理和回路28a, 29aの出力信号OR 1, OR 2が高レベルになると、低レベル信号を出力する。第十フリップフロップ(FF 10) 12dは、クリア優先型ディレイフリップフロップであり、高レベル信号をデータ入力(D入力)、第八フリップフロップ回路(FF 8) 12bの出力の反転信号をクロック入力端子CLKへの入力信号、第五論理和回路(OR 5) 12gの出力信号をクリア端子CLRへの入力信号とし、CLK入力信号の立ち上がりエッジに同期して高レベル信号を出力し、図12の第一、第二論理和回路28a, 29aの出力信号OR 1, OR 2が高レベルになると、低レベル信号を出力する。

【0075】第三論理和回路(OR 3) 12eは第七、第八フリップフロップ回路(FF 7, FF 8) 12a, 12bの出力信号を入力とし、両信号の論理和信号を出力端子に形成する。第四論理和回路(OR 4) 12fは第九、第十フリップフロップ(FF 9, FF 10) 12c, 12dの出力信号を入力とし、両信号の論理和信号を出力端子に形成する。第五論理和回路(OR 5) 12gは図12に示されている周波数差検出回路(DFD) 2の第一、第二論理和回路28a, 29aの出力信号OR 1, OR 2を入力とし、

両信号の論理和信号を出力端子に形成する。

【0076】第一容量(C1)12hは第一、第二電流源(J1, J2)12j, 12kの出力電流を入力とし、第四、第五スイッチ(SW4, SW5)12m, 12nを制御する第一、第二論理和回路(OR1, OR2)28a, 29a(図12)のパルス幅と第一、第二電流源(J1, J2)12j, 12kの出力電流値の積に応じた電圧で充電(あるいは放電)され、第七スイッチ(SW7)12pを制御する第四論理和回路(OR4)12fの出力信号が高レベルになると端子間電圧が零とされる。第二容量(C2)12iは第六スイッチ(SW6)12oを制御する第三論理和回路(OR3)12eの出力が高レベルの時に、第一容量(C1)12hの出力電圧が伝達され保持する。

【0077】次に、図37および図38に上記実施例の平滑フィルタ(SF)12'のタイミング図を示す。外部入力信号の位相が電圧制御発振器15の出力信号VCOの位相より進んでいるとする。このとき周波数検出回路(DFD)2の第一論理和回路27aの出力OR1は、図37に示すように零(低レベル)であり、第二論理和回路29aはパルス幅Tadv(Tadv: 外部入力信号の立ち上がりあるいは立ち下がりエッジとVCO出力信号の立ち上がりエッジの時間差)のパルス信号OR2を出力し(図32参照)、この出力OR2が高レベルの間は、第四スイッチ(SW4)が閉じられ、第一容量(C1)12hの端子間電圧Vc1は第一電流源(J1)12kによって

$$Vc1 = I1 * Tadv / C1 = K2 * Tadv$$

($K2 = I1 / C1$) ($I1$: 電流源J1の電流値)に充電される。ただしこの時、第五スイッチ(SW5)12nは開放されたままである。

【0078】次に、図12に示されている周波数差検出回路(DFD)2の第二論理和回路29aの出力信号OR2が低レベルになると、第八フリップフロップ回路(FF8)12bの出力Q8が高レベルとなり、この出力が高レベルの間、第六スイッチ(SW6)12oは閉じられ、第一容量C1の充電電圧が第二容量(C2)12iに伝達され、その端子間電圧Vc2は

$$Vc2 = Vc1 = K2 * Tadv \quad (C1 \gg C2)$$

となる。そして、この電圧値は再び第六スイッチ(SW6)12oが閉じられるまで保持される。また、この端子間電圧Vc2は電流電圧変換器(V/A)12rを経てロウパスフィルタ(LPF)に出力される。次に、第八フリップフロップ回路(FF8)12bの出力信号Q8が低レベルになると、第十フリップフロップ回路(FF10)12dの出力が高レベルとなり、第七スイッチ(SW7)12pが閉じられ、第一容量(C1)12hの電荷を放電し、第一容量(C1)12hの端子間電圧Vc1が必要以上に増大されることを防止している。

【0079】一方、外部入力信号の位相が電圧制御発振器15の出力信号VCOの位相より遅れていれば、図38に示すように周波数検出回路(DFD)2の第二論理和

回路28aの出力OR2は零(低レベル)であり、第一論理和回路27aはパルス幅Tvc0/2-Tdel(Tdel: 外部入力信号の立ち上がりあるいは立ち下がりエッジとVCO出力信号の立ち上がりエッジの時間差)のパルス信号OR1を出力し(図31参照)、この出力OR1が高レベルの間は、第五スイッチ(SW5)12nが閉じられ、第八スイッチ(SW8)12qは第二電圧源(E2)12l側に接続され、第一容量(C1)12hの端子間電圧Vc1は第一電流源(J1)12kおよび第二電圧源(E2)12lによって

$$Vc1 = V + I2 * (Tvc0 / 2 - Tdel) / C1$$

(V: E2の電圧値) (I2: J2の電流値)に充電される。この時、第四スイッチ(SW4)は開放されたままである。

【0080】ここで、予め、 $I2 = I1$ 、 $V = -I2 * Tvc0 / C1 / 2$ のように第二電流源(J2)12kと電圧源(E)12lの値を設定しておく、第一容量(C1)12hの端子間電圧Vc1は

$$Vc1 = -Tdel * I1 / C1 = -K2 * Tdel$$

となり、外部入力信号と電圧制御発振器15の出力信号VCOの位相差(時間差)に比例した電圧値を示す。従って、この電圧を位相比較器(PC)11のDOWN信号に代わって、ロウパスフィルタ(LPF)14への出力信号として用いることができる。

【0081】次に、図12に示されている周波数差検出回路(DFD)2の第一論理和回路29aの出力信号OR1が低レベルになると、第七フリップフロップ回路(FF7)12bの出力Q7が高レベルとなり、この出力Q7が高レベルの間、第六スイッチ(SW6)12oは閉じられ、第一容量C1の充電電圧が第二容量(C2)12iに伝達され、その端子間電圧Vc2は

$$Vc2 = Vc1 = -K2 * Tdel \quad (C1 \gg C2)$$

となり、この端子間電圧は第六スイッチ(SW6)12oが再び閉じられるまで保持される。また、この電圧は電流電圧変換器(V/A)12rを経てロウパスフィルタ

(LPF)14に出力される。次に、第七フリップフロップ回路(FF7)12aの出力信号Q7が低レベルになると、第九フリップフロップ回路(FF9)12cの出力Q9が高レベルとなり、第七スイッチ(SW7)12pが閉じられ、第一容量(C1)12hの電荷を放電する。

【0082】この様に、本実施例の平滑フィルタ(SF)12を用いたPLL回路は、図36に示す実施例の様に位相比較器(PC)11を省略でき、かつ平滑フィルタのないPLL回路でのロウパスフィルタの出力電圧VLPFを示す図39にハッチングで示されているような電圧の過剰部分を防止できる利点を持つ。本実施例のPLL回路では、図18に示した方式、すなわち周波数差検出回路(DFD)2を用い電圧制御発振器15の実効自走周波数を制御する方式を適用しているが、符号付き信号を出力する周波数差検出回路(DFD)2bを用いた方式

(図 17) あるいは周波数差検出回路 (DFD) 2 と第 6 フリップフロップ (FF 6) を用いた方式 (図 20) により電圧制御発振器 15 の実効自走周波数を制御するようにしてもよい。

【0083】 一般に、ディジタル信号を出力する論理回路を用いた位相比較器とチャージポンプを持つ PLL 回路では、図 39 に示すように、チャージポンプの出力 IP が高レベルであるときに、ロウパスフィルタの出力 VLPF は

$$VLPF = (RL + CL^{-1} \int dt) I_{cp}$$

I_{cp} : チャージポンプの出力電流

となる。ここで、一般に上式の右辺第 2 項は右辺第 1 項に比べ非常に小さい値なので

$$VLPF \approx RL \cdot I_{cp}$$

となり、VLPF は入出力信号間の位相関係に全く無関係な値となり、アナログ位相比較器を持つ PLL 回路のロウパスフィルタの出力電位よりかなり高い値となる。このように、ディジタル出力位相比較器を用いた PLL 回路はチャージポンプの出力が高レベルであるとき、電圧制御発振器の発振周波数は過剰に制御されてしまい、アナログ位相比較器を用いた PLL 回路と比較して、同期外れが起こり易くなる。

【0084】 図 40 に本発明によるトリガ信号発生回路 (TPG) 6 とそれを用いた PLL 回路の実施例を示す (但し、ここでは、簡単のためロウパスフィルタ (LPF) 14 の構成は完全積分型のものを用いた場合を示している)。本実施例のトリガ信号発生回路 (TPG) 6 は、PLL 回路が同期外れ状態にあるときあるいは外部からトリガ信号を印加したときに、PLL 回路を引き込み状態に設定するための諸信号を発生する回路である。本実施例のトリガ信号発生回路 (TPG) 6 は、図 40 に示されているように第六、第七論理和回路 (OR 6, OR 7) 61, 62、第二論理積回路 (AND 2) 63、しきい値回路 (HLD) 64、分周回路 (DI) 65 から成る。

【0085】 第六論理和回路 (OR 6) 61 は外部トリガ信号 EXT. TRIGGER および第二論理積回路 (AND 2) 63 の出力信号を入力信号とし、これらの入力信号の論理和を状態制御回路 (SC) 3 に出力する。従って、しきい値回路 (HLD) 64 の出力信号あるいは外部トリガ信号 EXT. TRIGGER のレベルが低レベルから高レベルに変化すると、PLL 回路は引き込み動作を開始する。第七論理和回路 (OR 7) 62 は分周回路 (DI) 65 の出力信号および状態制御回路 (SC) 3 の第一パルス信号発生回路 (IPG) 31 (図 9 参照) の出力信号 302 を入力とし、これらの入力信号の論理和を周波数差検出回路 (DFD) 2 のクリア端子 CLR に出力する。従って、分周回路 (DI) 65 の出力信号が低レベルであり、かつしきい値回路 (HLD) 64 の出力信号およびトリガ信号の入力レベルが低レベルであるときのみ、周波数差検出回路 (DFD) 2 がクリア状態を解除されて動作状態となる

ことができる。

【0086】 第二論理積回路 (AND 2) 63 はしきい値回路 (HLD) 64 の出力信号と、状態制御回路 (SC) 3 の第二パルス信号 (sp) 303 (図 10 参照) の反転信号を入力とし、この両信号の論理積信号を出力信号としている。従って、この PLL 回路が同期はずれ状態を起こしており、電圧制御発振器 (VCO) 15 の出力信号の実効自走周波数が周波数差検出回路 (DFD) 2 の出力によって設定されている状態 (第二パルス信号 (sp) 303 が高レベル) であれば、第二論理積回路出力 (AND 2) 63 は低レベルとなるので、状態制御回路 (SC) 3 の出力端子からパルス信号 ip は出力されない。一方、この PLL 回路が同期はずれ状態を起こしており、第二パルス信号 (sp) 303 の出力信号が低レベルであれば、第二論理積回路 (AND 2) 63 の出力は高レベルとなり、状態制御回路 (SC) 3 はパルス信号 ip, sp を出力し、PLL 回路を引き込み状態に設定する。

【0087】 しきい値回路 (HLD) 64 は周波数差検出回路 (DFD) 2 の出力信号を入力とし、周波数差検出回路 (DFD) 2 の出力信号があるしきい値を越えたときに高レベルの信号を出力端子に出力する。すなわち、しきい値回路 (HLD) 64 は外部入力信号の周波数と PLL 内部の局部発振器 (VCO) の発振周波数との差が許容値以下であれば低レベル信号を出力し、許容値以上であれば高レベルの信号を出力する回路である。

【0088】 分周回路 (DI) 65 は、CLR 入力端子付きの分周回路であり、電圧制御発振器 (VCO) 15 の出力信号を入力とし、この入力信号を N 分周した信号を第七論理和回路 (OR 7) 62 に出力する。従って、分周回路 (DI) 65 は電圧制御発振器 (VCO) 15 の出力信号の周期の N 倍の時間ごとに、周波数差検出回路 (DFD) 2 を動作状態 (周波数差検出状態) に設定し、外部入力信号の周波数と電圧制御発振器 (VCO) 15 の出力信号の周波数の差を検出し、この検出信号をしきい値回路 (HLD) 64 を通して第二論理積回路 (AND 2) 63 に出力する。また、分周回路 (DI) 65 のクリア端子 CLR は、状態制御回路 (SC) 3 の第一パルス出力信号 (ip) 302 を入力としており、第一パルス信号 (ip) 302 信号が高レベルになると分周回路 (DI) 65 の出力を強制的に低レベルとしている。これは、状態制御回路 (SC) 3 の第二パルス信号 (sp) 303 が高レベルであるときに周波数差検出回路 (DFD) 2 の出力が初期化されないようにするためである。

【0089】 以下、図 40 の PLL 回路において外部入力信号が零である状態からの PLL 回路の引き込み過程について、図 41 のタイミング図を用いて説明する。ここでは簡単のために、初期状態において周波数差検出回路 (DFD) 2 の出力は零、電圧制御発振器 (VCO) 15 の出力信号の発振周波数は本来の自走周波数 (固有周

波数) f_r (すなわち $f_{initial} = f_r$) であると仮定する。外部入力信号INPUTがPLL回路に入力x;ると、周波数差検出回路(DFD)2は動作を開始する。そして、外部入力信号の周波数と電圧制御発振器(VCO)15の出力信号の発振周波数 f_r の差が許容値を越えているならば、 $N \cdot T_{vco}$ (T_{vco} : VCOの周期)の時間内に周波数差検出回路(DFD)2の出力はしきい値回路(HLD)64の入力しきい値を越え、しきい値回路(HLD)64は高レベルの信号を第二論理積回路(AND2)63に出力する。

【0090】次に、第二論理積回路63(AND)は状態制御回路(SC)3の第二パルス信号(sp)303が低レベルであるので、高レベルの出力信号を状態制御回路(SC)3に出力する。状態制御回路(SC)3はこの入力信号の立ち上がりエッジ同期して、第一パルス信号(ip)302を出力し、周波数差検出回路(DFD)2及び分周回路(DI)65を初期化する。続いて第一パルス信号(ip)302の立ち下がりエッジに同期して、第二パルス信号(sp)303が出力され、この信号は第一、第二スイッチ(SW1, SW2)16k, 17kを閉じ、電圧制御発振器(VCO)15の出力信号の周波数を本来の自走周波数(固有周波数)に設定し、さらに周波数差検出回路(DFD)2の出力信号VsによってPLL本体回路内部のロウパスフィルタ(LPF)14の容量(CL)14hを充放電する。そして、第二パルス信号(sp)303が低レベルになると、第一、第二スイッチ(SW1, SW2)16h, 17hを開放し、PLL本体回路1は本来のPLL回路の動作で、位相の微調整を行い、速やかに同期を完了する。

【0091】次に、ハーモニックロッキングやノイズ等で、電圧制御発振器(VCO)15の出力信号の発振周波数と外部入力信号の周波数の差が許容値を越えたときの引き込み過程を、図42のタイミングチャートを用いて説明する。図42の横軸のA点で電圧制御発振器(VCO)15の出力信号の発振周波数が変化したとする。そして、B点で分周回路(DI)65の出力が低レベルになったと仮定する。すると、周波数差検出回路(DFD)2が動作を開始し、両信号の周波数差が許容値を越えているので、周波数差検出回路(DFD)2の出力信号は、しきい値回路(HLD)64の入力しきい値を越え、以下、図41の場合と全く同様の動作でPLL回路は引き込み状態にされた後、同期を完了する。このように本実施例のトリガ信号発生回路(TPG)を設けたPLL回路を用いると、回路規模をほとんど増大させることなく、ハーモニックロッキングを防止することができる。また、本実施例のトリガ信号発生回路は前述した全てのPLL回路において使用可能である。

【0092】なお、本発明のPLL回路においては、引き込み状態の初期に電圧制御発振器(VCO)の発振周波数を初期化する必要があり、実施例では図6、図7、

図8、図17、図18、図20、図23、図25、図26、図30、図36、図40に示されているように、第一スイッチ(SW1)を閉じることによりこれを行っているが、電圧制御発振器の発振周波数初期化をより正確に行うために、第一スイッチ(SW1)の接続を図43のようにしてもよい。また、第一スイッチ(SW1)を閉じなくても、電圧制御発振器(VCO)が本来の自走周波数(固有周波数)での発振状態が実現可能な場合や、電圧制御発振器の周波数差の補正 Δf が周波数差検出回路(DFD)の出力の符号を含めて行われるため、特に上記の固有周波数での発振状態が不要な場合においては、第一スイッチ(SW1)と第一電圧源(E1)は省略し、回路を簡略化するようにしてもよい。

【0093】

【発明の効果】以上説明したように、この発明は、従来形のPLL本体回路1に、周波数差検出回路2、状態制御回路3、スイッチ回路4、トリガ信号発生回路5を付加して、PLL回路を構成し、PLL回路が同期はずれ起こしているとき、またはトリガ信号が入力したときに、周波数差検出回路の出力信号によってその電圧制御発振器の実効自走周波数を制御するようにしたので、ほとんど瞬時に周波数同期を完了し、その後、従来のPLL回路と同様の動作で位相同期を完了する。この結果、引き込み時間を考慮しないPLL回路の設計ができるので、高速引き込み特性、低ノイズ特性を同時に満たすPLL回路を実現できるという効果がある。また、周波数差検出回路は位相比較型の周波数差検出回路としたので、位相比較器と回路を兼用することができ、従来のPLL回路の場合に比し回路規模をほとんど増大させることなく、NRZ入力信号のクロック信号周波数と電圧制御発振器の発振周波数との差を検出できるという効果がある。

【0094】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、PLL本体回路内部の局部発振器は、電圧制御発振器であるが、電流制御発振器(CCO)の形態を採ることができ、またその回路形式は前述したエミッタ結合型マルチバイブレータ回路に限定されることなく、例えば、リングオシレータ等の回路形式を採ることもできる。また、電圧制御発振器の実効自走周波数の設定方法も、前述した周波数差検出回路の出力信号によって直接電圧制御発振器の制御電圧を制御する方法に限定されず、例えば、スイッチドキャパシタ等を用いて間接的に電圧制御発振器の実効自走周波数を制御する方法も適用できる。

【図面の簡単な説明】

【図1】本発明に係るPLL回路の基本構成を示すブロック図、

【図2】本発明に係るPLL回路の一実施例を示すプロ

ック図、

【図 3】本発明に係る PLL 回路の他の実施例を示すブロック図、

【図 4】本発明に係る PLL 回路と従来の PLL 回路の同期過程の違いを示すグラフ、

【図 5】本発明に係る PLL 回路を構成する状態制御回路の構成例を示すブロック図、

【図 6】図 5 に示す状態制御回路を用いた PLL 回路の一実施例を示すブロック図、

【図 7】図 5 に示す状態制御回路を用いた PLL 回路の他の実施例を示すブロック図、

【図 8】図 5 に示す状態制御回路を用いた PLL 回路の他の実施例を示すブロック図、

【図 9】状態制御回路の他の構成例を示すブロック図、

【図 10】図 9 に示す状態制御回路を用いた PLL 回路の他の実施例を示すブロック図、

【図 11】図 10 に示す PLL 回路の変形例（スイッチの設定位置）を示すブロック図、

【図 12】本発明に係る PLL 回路を構成する周波数差検出回路の構成例を示すブロック図、

【図 13】周波数差検出回路の他の構成例を示すブロック図、

【図 14】図 12 に示す周波数差検出回路のタイミング図、

【図 15】図 13 に示す周波数差検出回路のタイミング図、

【図 16】外部入力信号周波数と VCO 周波数との比が約 1 : 3 のときの図 12 に示す周波数差検出回路のタイミング図、

【図 17】入力信号間の周波数差の絶対値および符号を検出可能な周波数差検出回路を用いた PLL 回路の一実施例を示すブロック図、

【図 18】図 12 または図 13 の周波数差検出回路を用いた PLL 回路の一実施例を示すブロック図、

【図 19】外部入力信号周波数と VCO の固有周波数との関係を示す図、

【図 20】本発明に係る PLL 回路の他の実施例を示すブロック図、

【図 21】図 20 に示す PLL 回路における $\Delta f = f_{in} - f_{vco} > 0$ のときの引込み過程を示すタイミング図、

【図 22】図 20 に示す PLL 回路における $\Delta f = f_{in} - f_{vco} < 0$ のときの引込み過程を示すタイミング図、

【図 23】本発明に係る PLL 回路のより具体的な実施例を示すブロック図、

【図 24】図 23 に示す PLL 回路における引込み過程を示すタイミング図、

【図 25】本発明に係る PLL 回路の他の具体的実施例を示すブロック図、

【図 26】本発明に係る PLL 回路のさらに他の具体的実施例を示すブロック図、

【図 27】電圧制御発振器 VCO の具体的回路例を示す回路図、

【図 28】図 26 に示す PLL 回路における引込み過程を示すタイミング図、

【図 29】本発明に係る PLL 回路を構成する位相比較器の実施例を示すブロック図、

【図 30】図 29 の位相比較器を用いた PLL 回路の一実施例を示すブロック図、

【図 31】VCO 位相 > 外部入力信号位相のときの周波数差検出回路の内部信号のタイミングを示す図、

【図 32】VCO 位相 < 外部入力信号位相のときの周波数差検出回路の内部信号のタイミングを示す図、

【図 33】図 29 の位相比較器の出力信号のタイミングを示す図、

【図 34】従来の位相比較器の構成例を示す論理回路図、

【図 35】本発明に係る PLL 回路を構成する平滑フィルタの実施例を示す回路構成図、

【図 36】図 35 の平滑フィルタを用いた PLL 回路の一実施例を示すブロック図、

【図 37】外部入力信号位相が進んでいる場合の図 35 の平滑フィルタの動作を示すタイミング図、

【図 38】外部入力信号位相が遅れている場合の図 35 の平滑フィルタの動作を示すタイミング図、

【図 39】平滑フィルタのない PLL 回路の電位を示す波形図、

【図 40】トリガ信号発生回路を備えた PLL 回路の実施例を示すブロック図、

【図 41】図 40 に示す PLL 回路における外部入力信号が零である状態からの引込み過程を示すタイミング図、

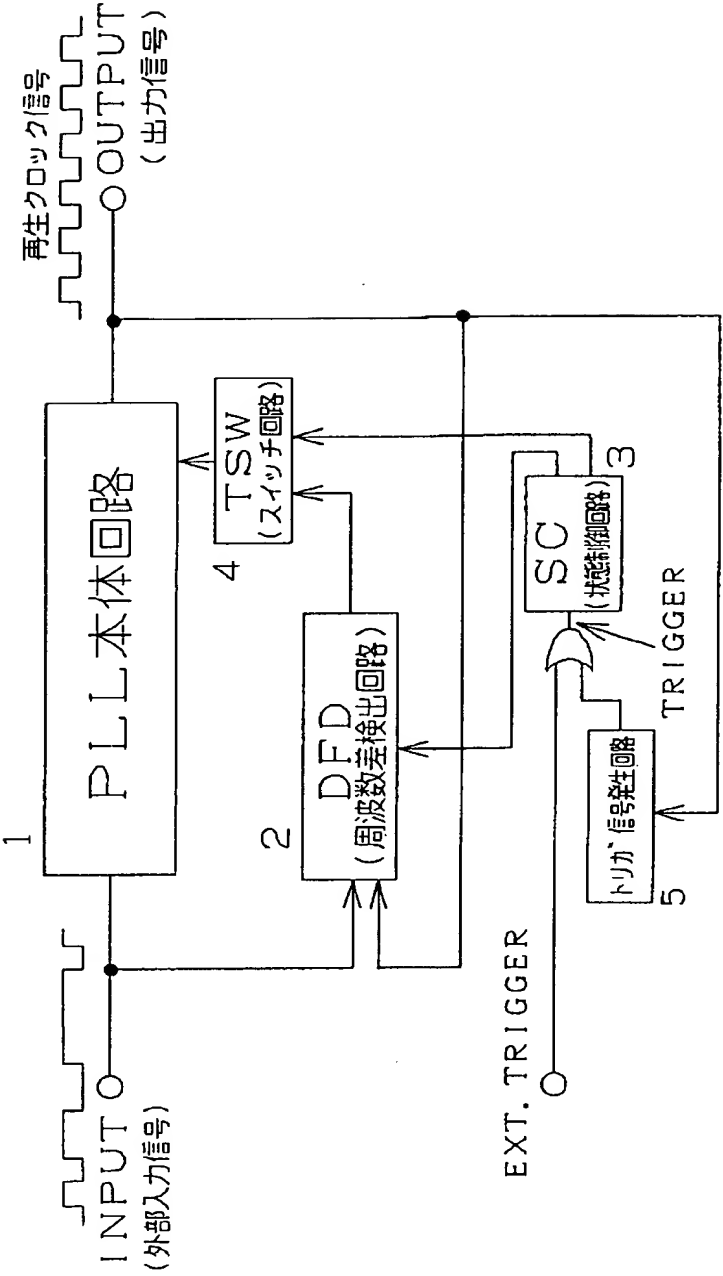
【図 42】図 40 に示す PLL 回路における VCO 発振周波数と外部入力信号周波数の差が許容値を越えたときの引込み過程を示すタイミング図、

【図 43】VCO 発振周波数の初期化を確実にこなう機能を備えた PLL 回路の実施例を示すブロック図である。

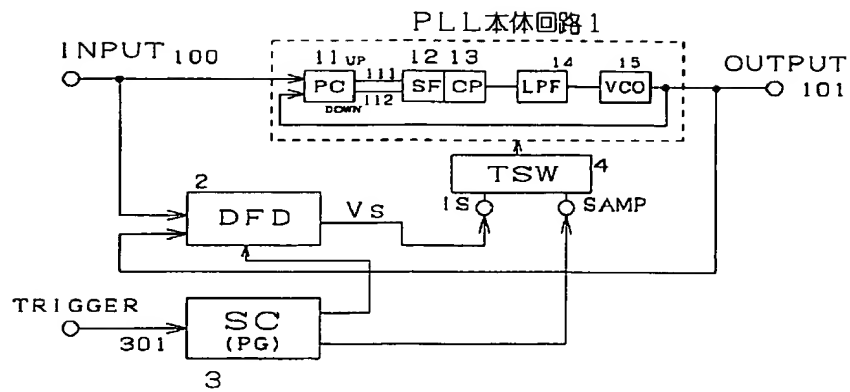
【符号の説明】

- 1 PLL 回路本体
- 2 周波数差検出回路
- 3 状態制御回路
- 4 スイッチ回路
- 5 トリガ信号発生回路
- 11 位相比較器
- 12 平滑フィルタ
- 13 チャージポンプ
- 14 ローパスフィルタ
- 15 局部発振器（電圧制御発振器）
- 18 バッファ

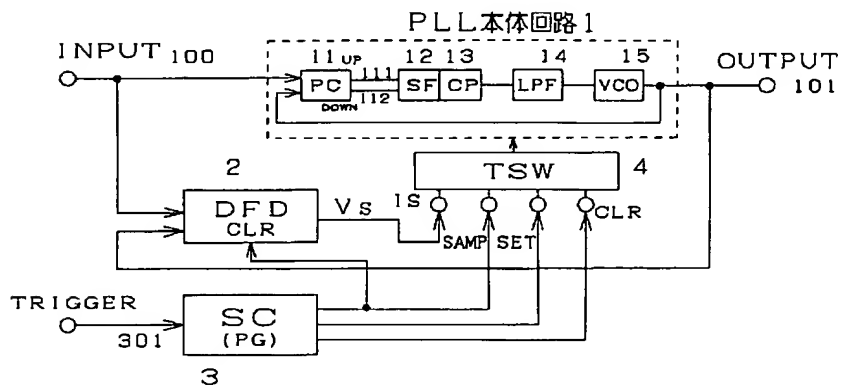
【図 1】



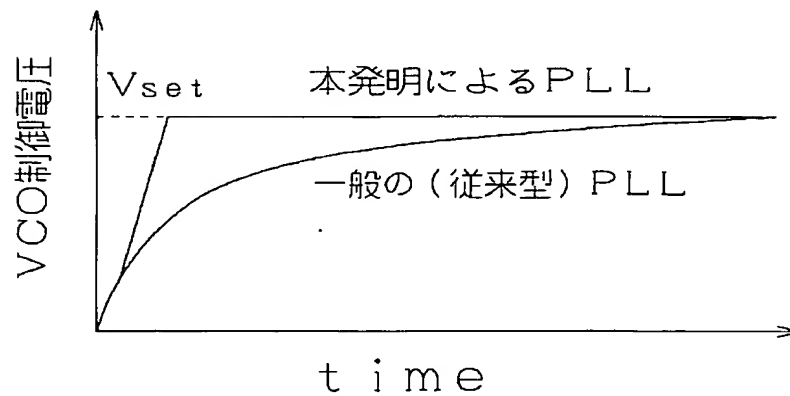
【図2】



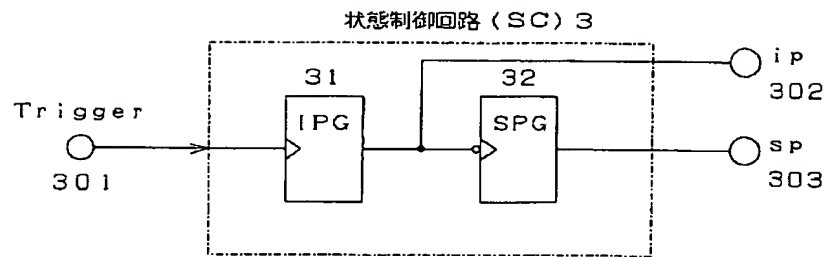
【図3】



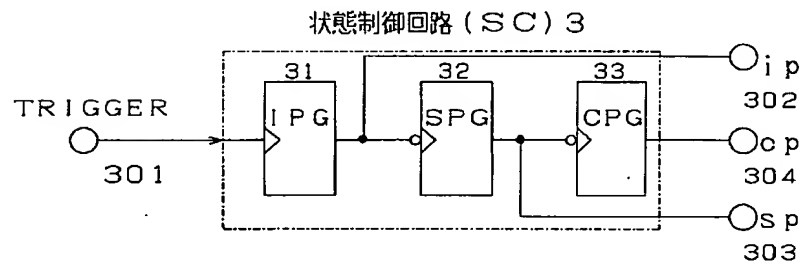
【図4】



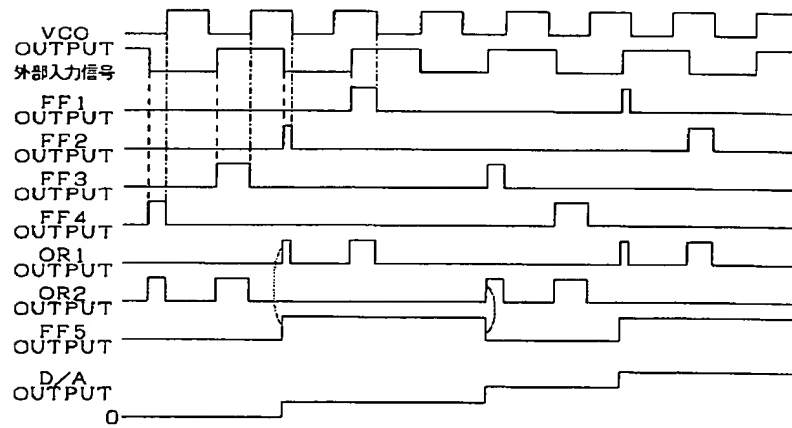
【図5】



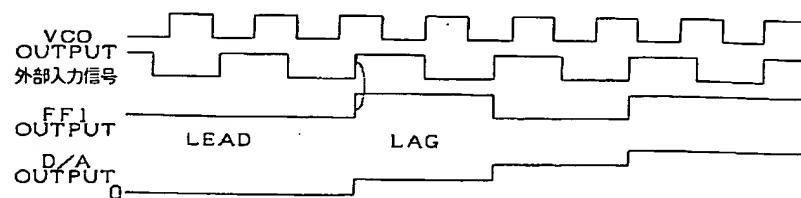
【図9】



【図14】

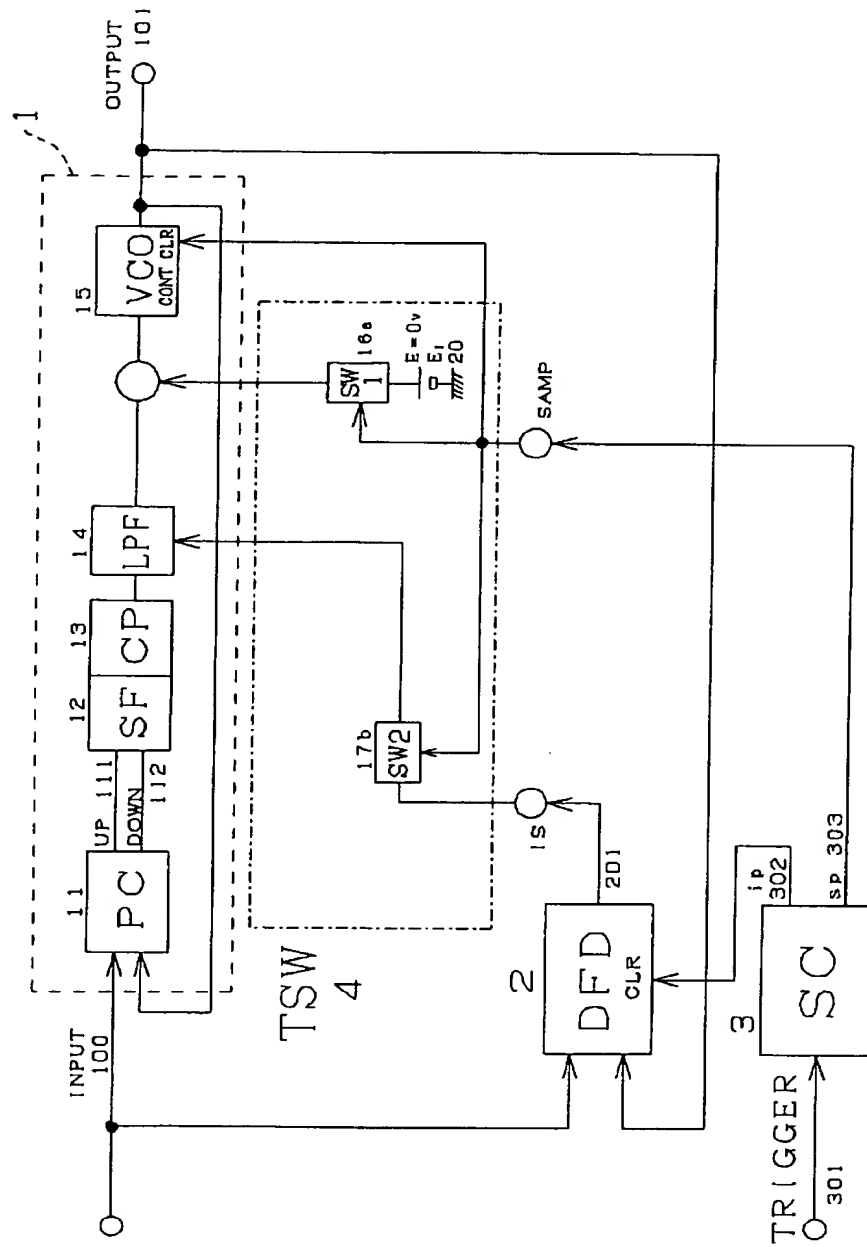


【図15】

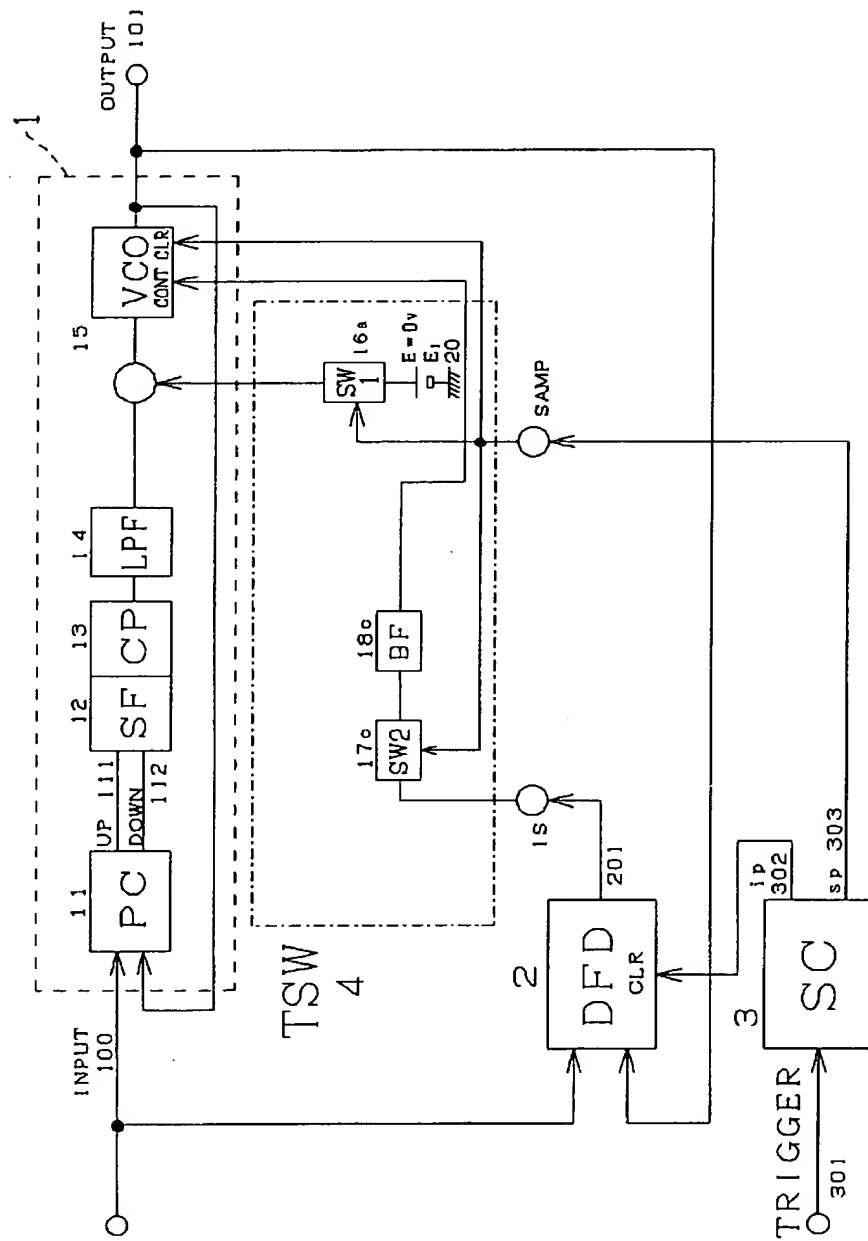


[illegible]

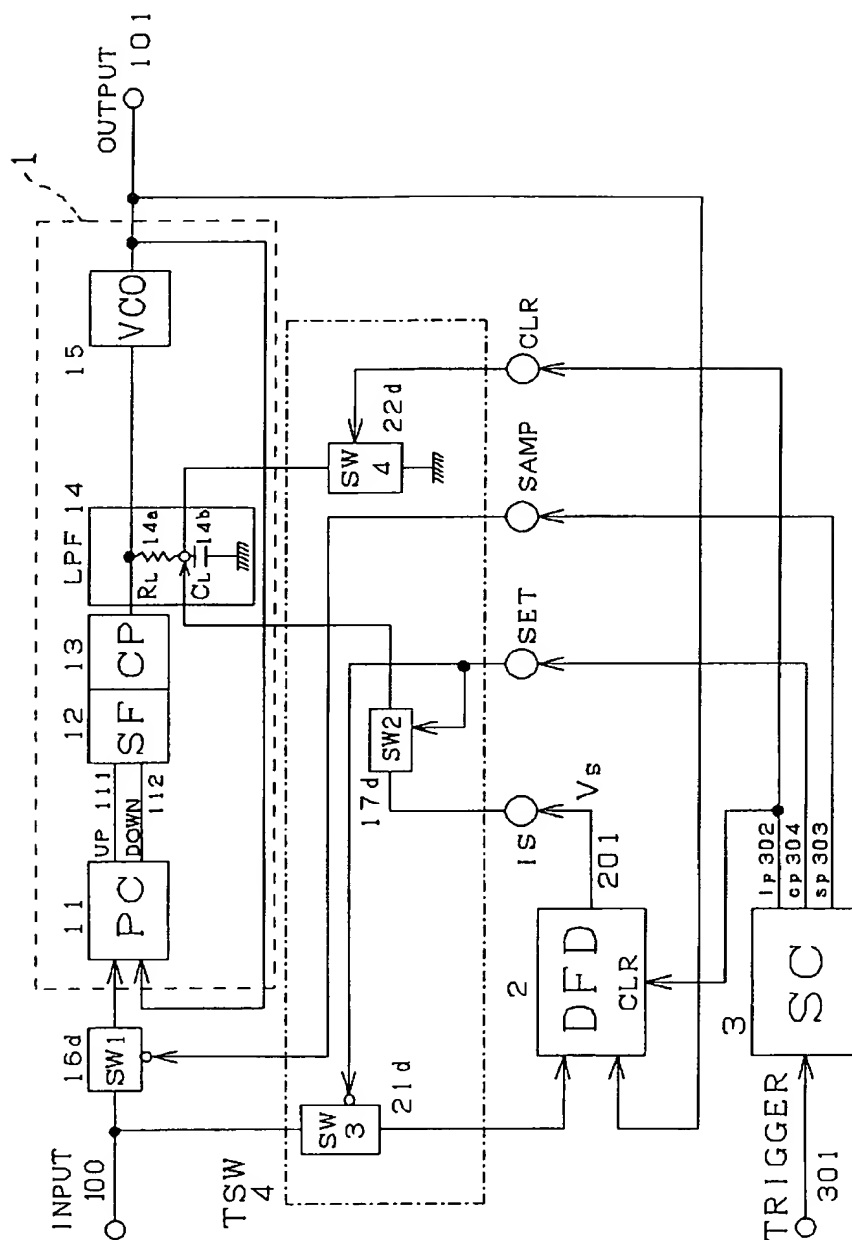
【図7】



【図8】



【図 10】

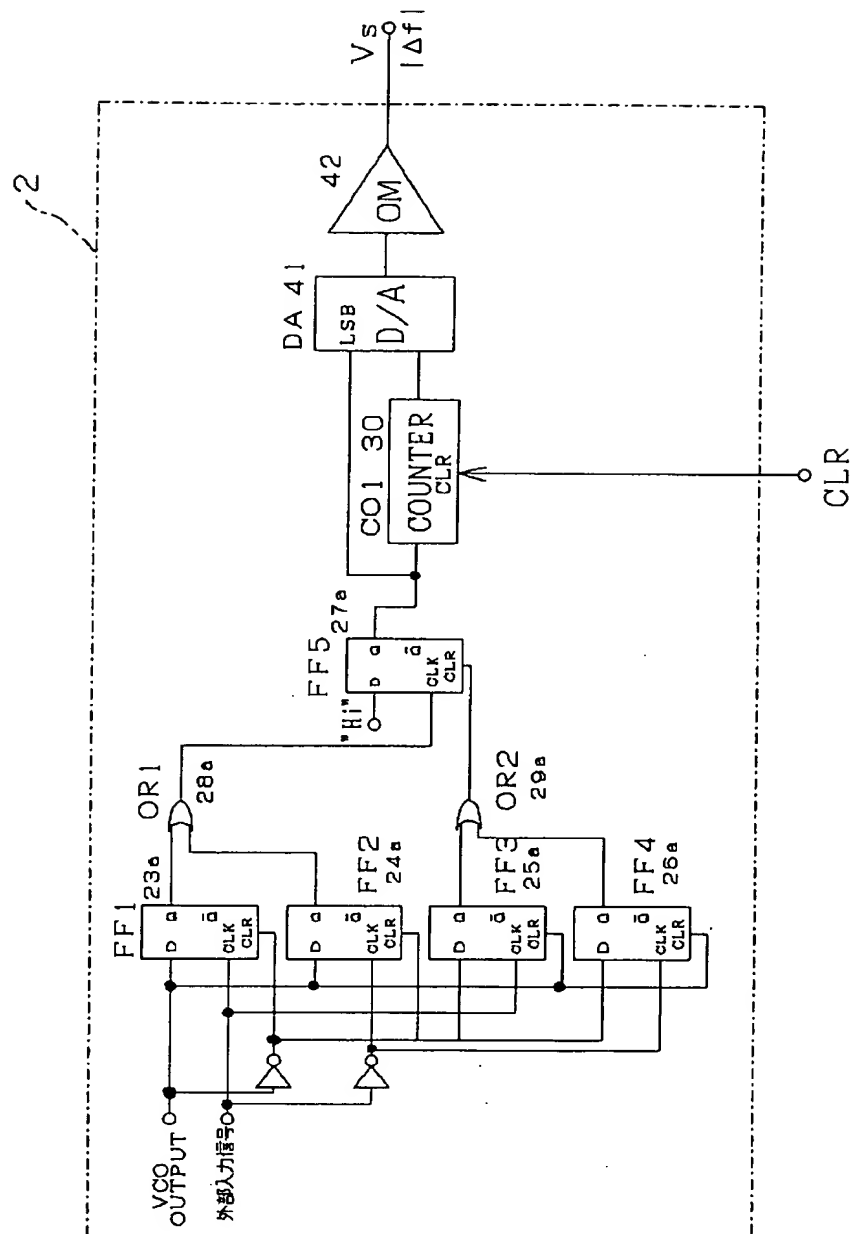


The diagram illustrates a digital frequency divider circuit, labeled as Fig. 1. The circuit is organized into several functional blocks and sections:

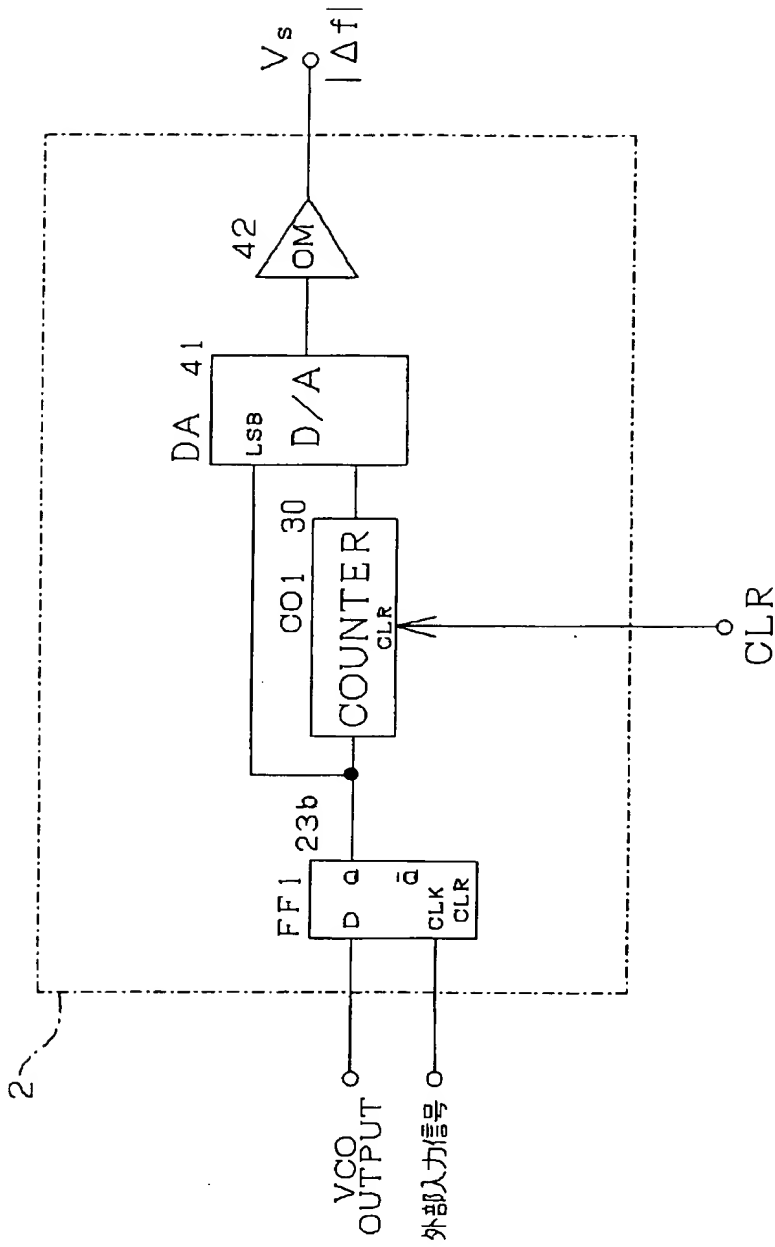
- Input Section (100):** Receives an **INPUT** signal at terminal 100. It includes a switch **SW1** (16d-1) and a **PC** (111) block. A **TRIGGER** input at terminal 301 is connected to a **SC** (302) block.
- Divider Section (101):** The core of the circuit, enclosed in a dashed box. It contains:
 - PC (111):** A phase-locked loop or similar control block.
 - SF (112):** A frequency synthesizer or similar block.
 - CP (113):** A counter or phase-locked loop block.
 - VCO (114):** A voltage-controlled oscillator.
 - SW2 (17d):** A switch controlled by a **TSW** (4) input.
 - SW3 (21d):** A switch controlled by a **TSW** (4) input.
 - SW4 (22d):** A switch controlled by a **TSW** (4) input.
 - Feedback Loop (115):** A feedback path from the output back to the input section, passing through a **CLR** (16d-4) and a **SW1** (16d-5) block.
- Output Section (102):** The final output stage, including:
 - DFD (201):** A digital frequency divider block.
 - SC (302):** A signal conditioner or similar block.
 - CLR (303):** A clear or reset input.

The circuit is controlled by a **TRIGGER** input (301) and a **CLR** input (303). The output of the circuit is labeled **OUTPUT** at terminal 101.

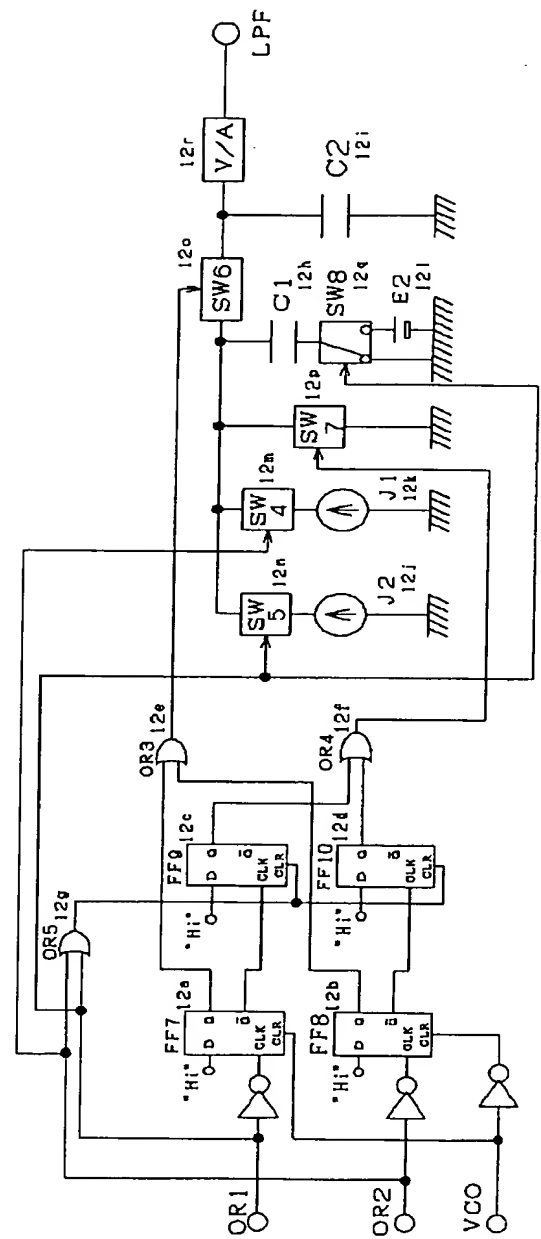
【図 12】



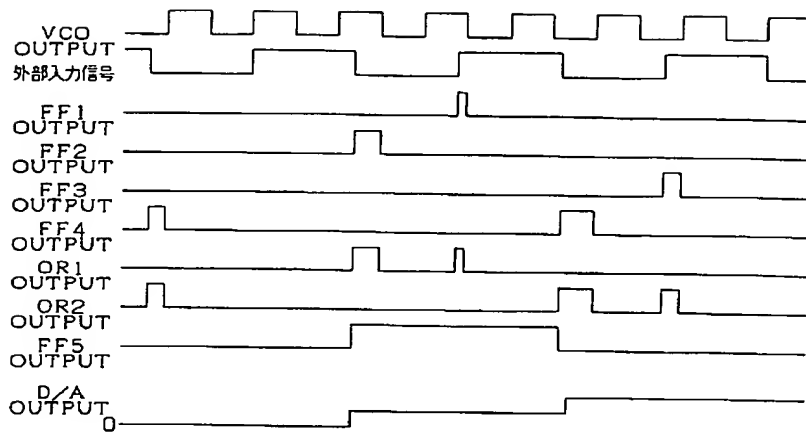
【図13】



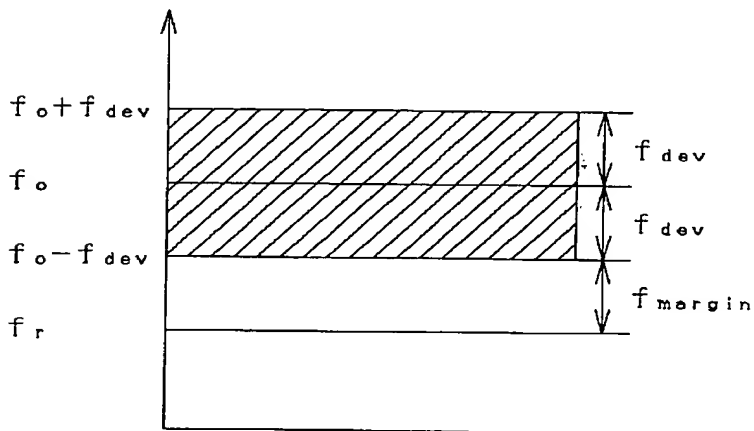
【図35】



【図16】

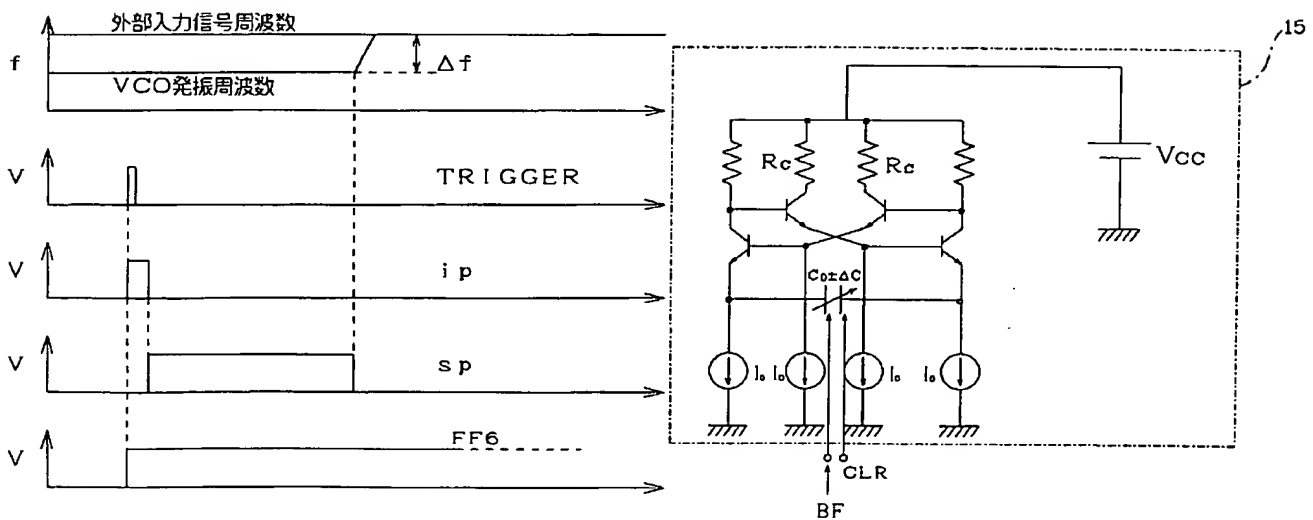


【図19】

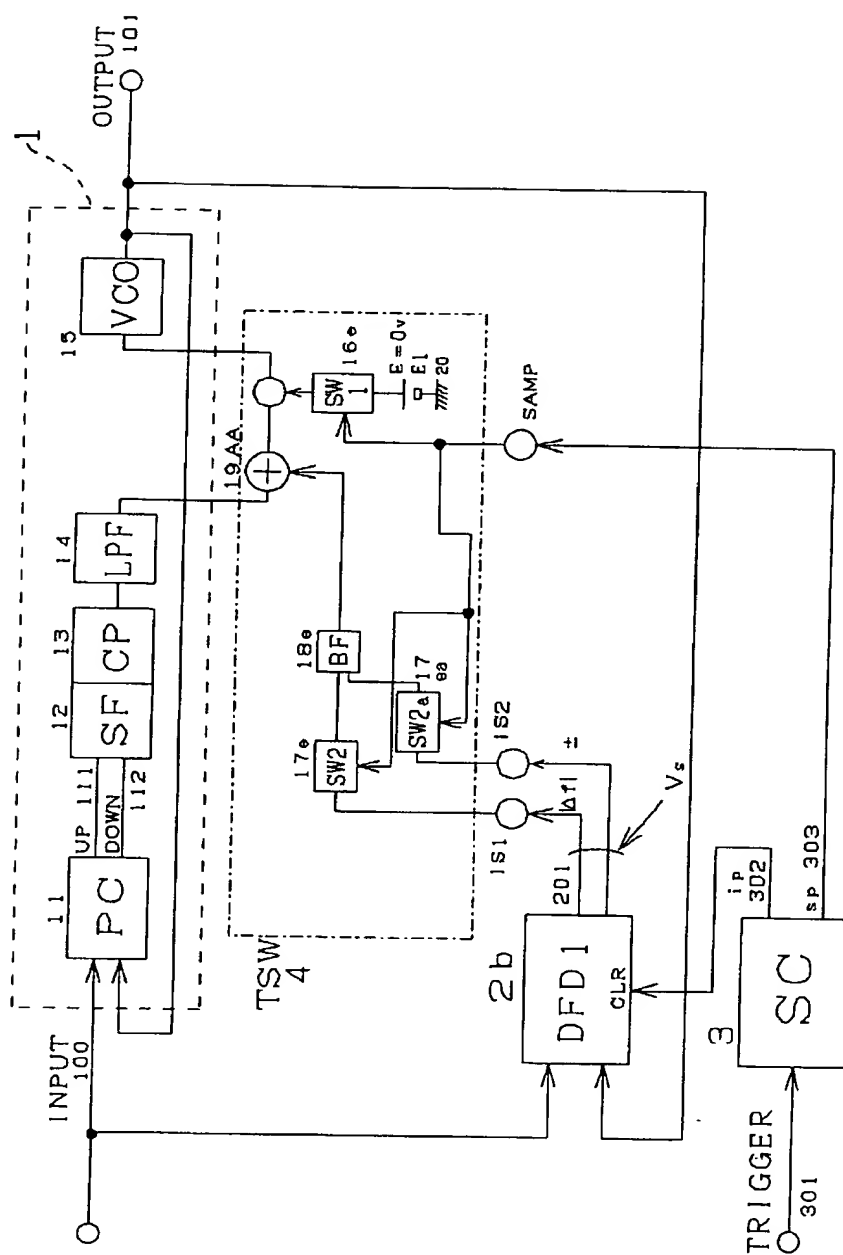


【図21】

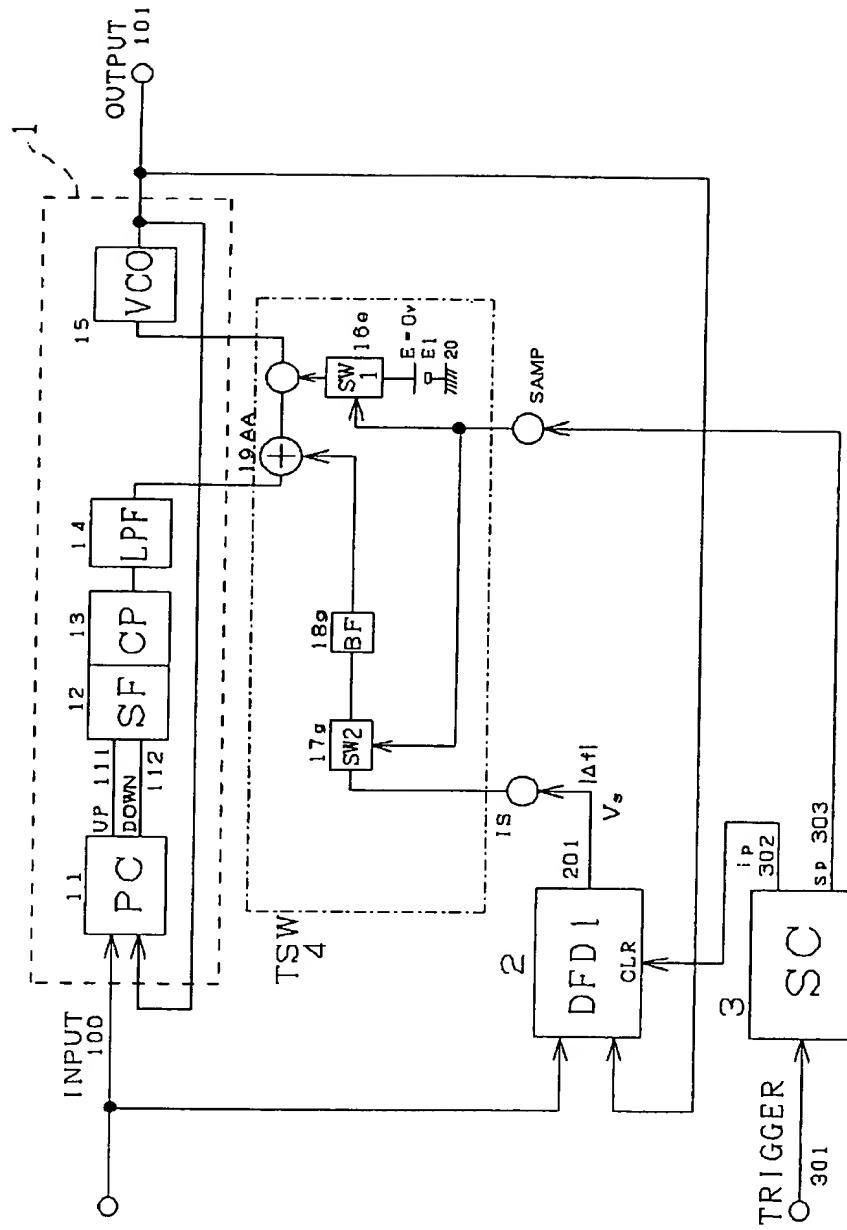
【図27】



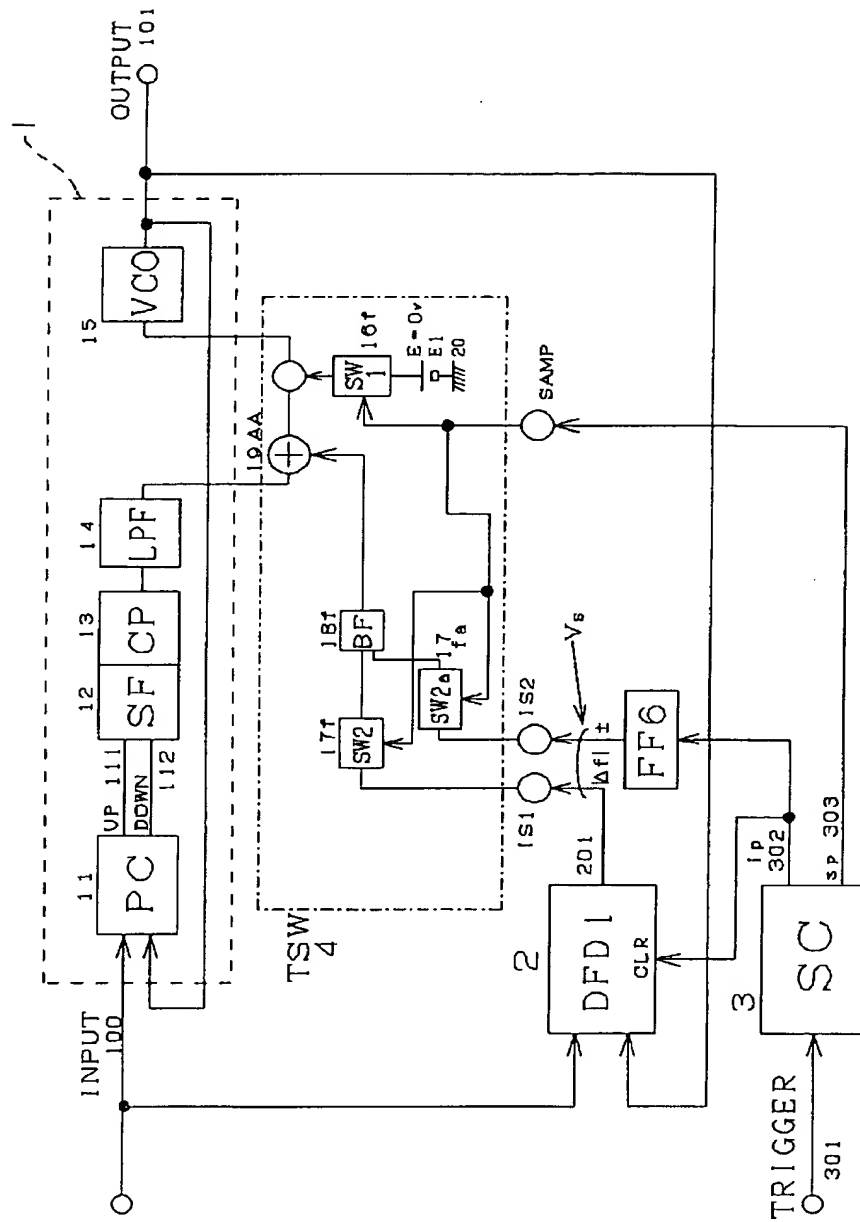
【図17】



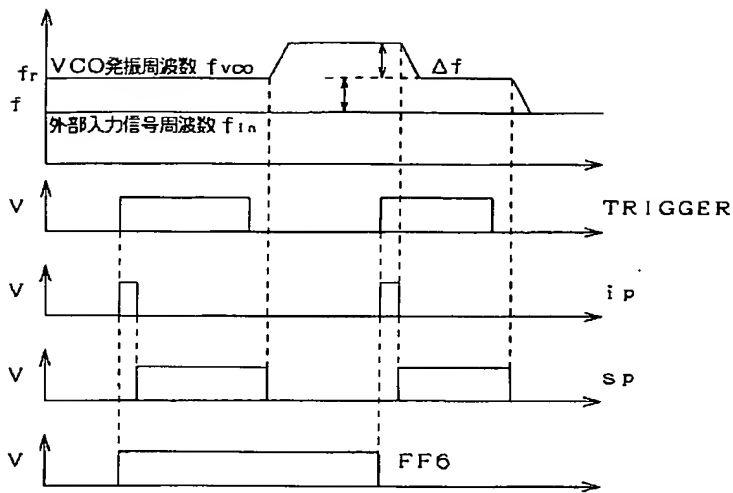
【図18】



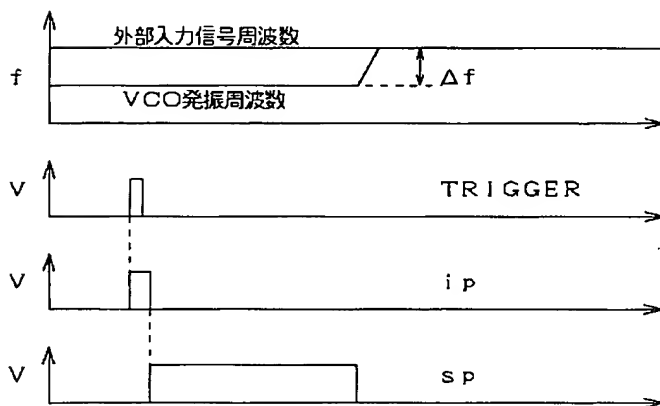
【図20】



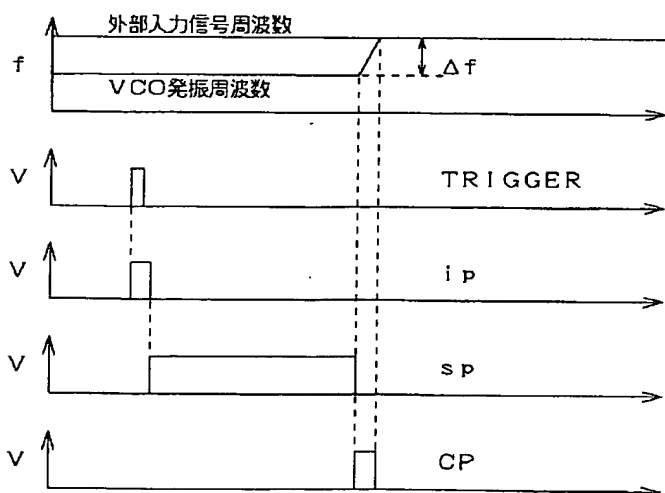
【図22】



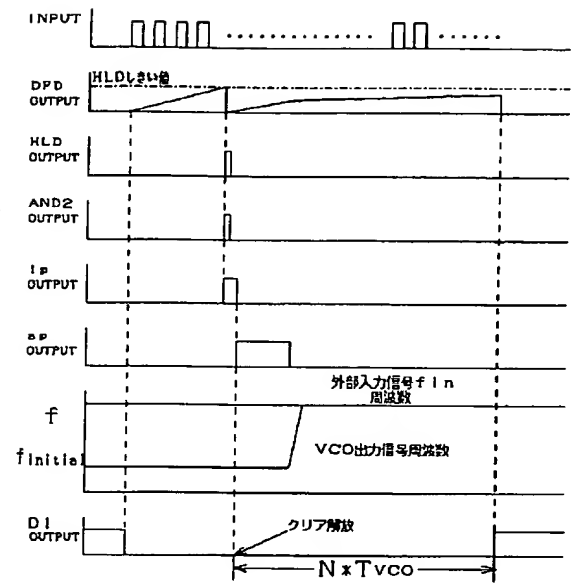
【図24】



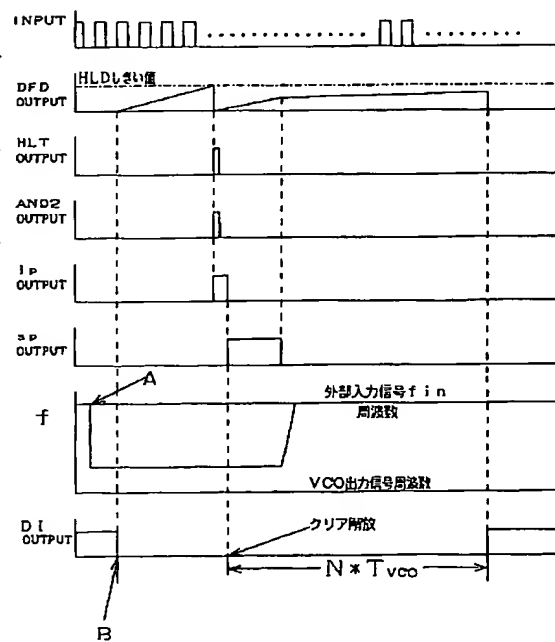
【図28】



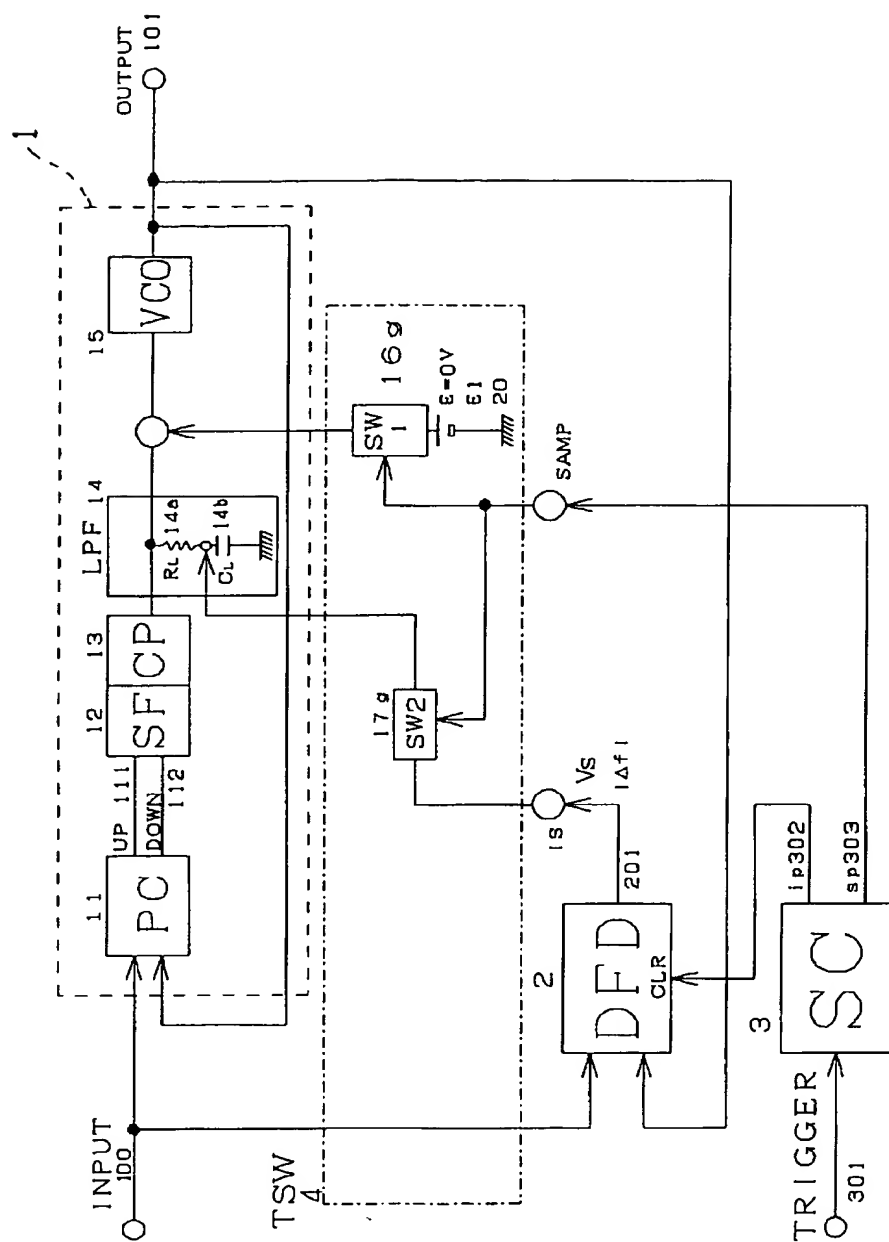
【図41】



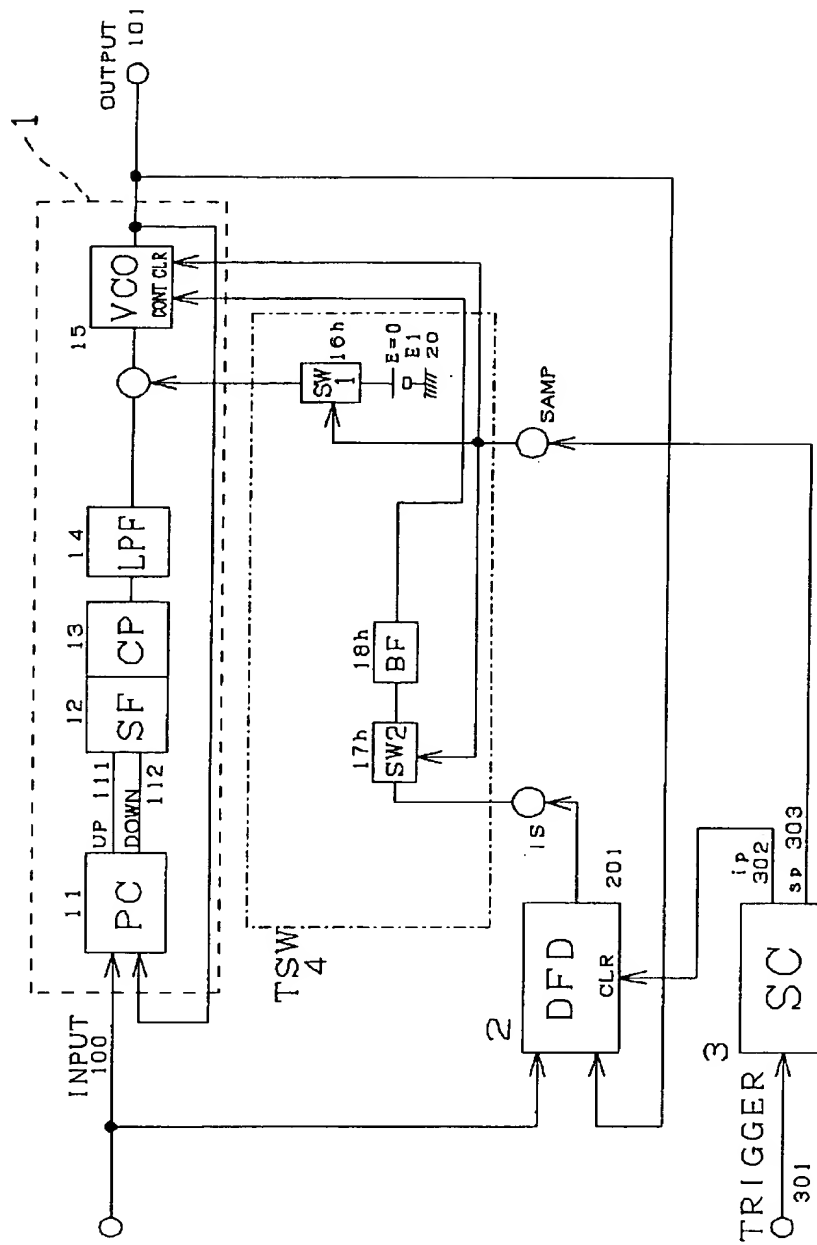
【図42】



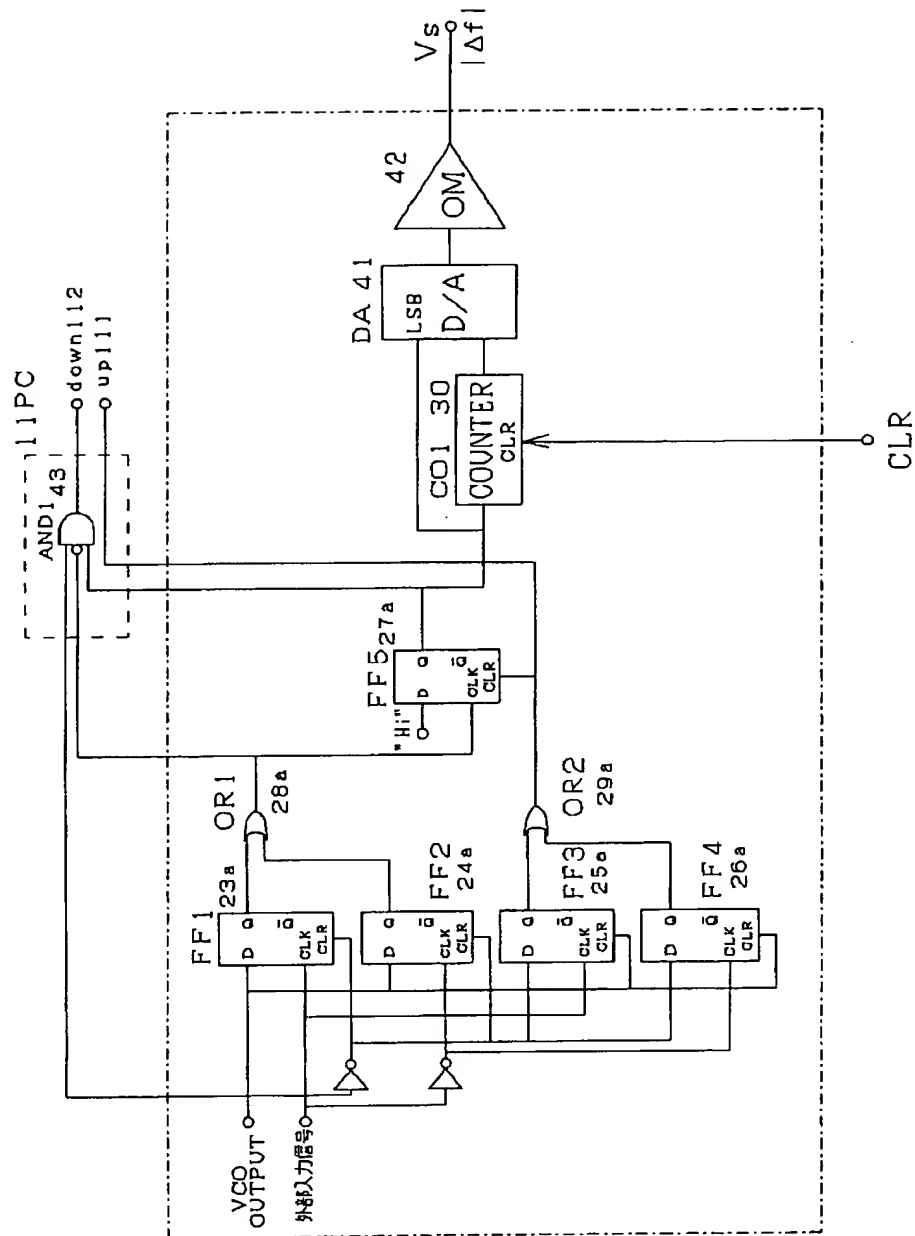
【図 23】



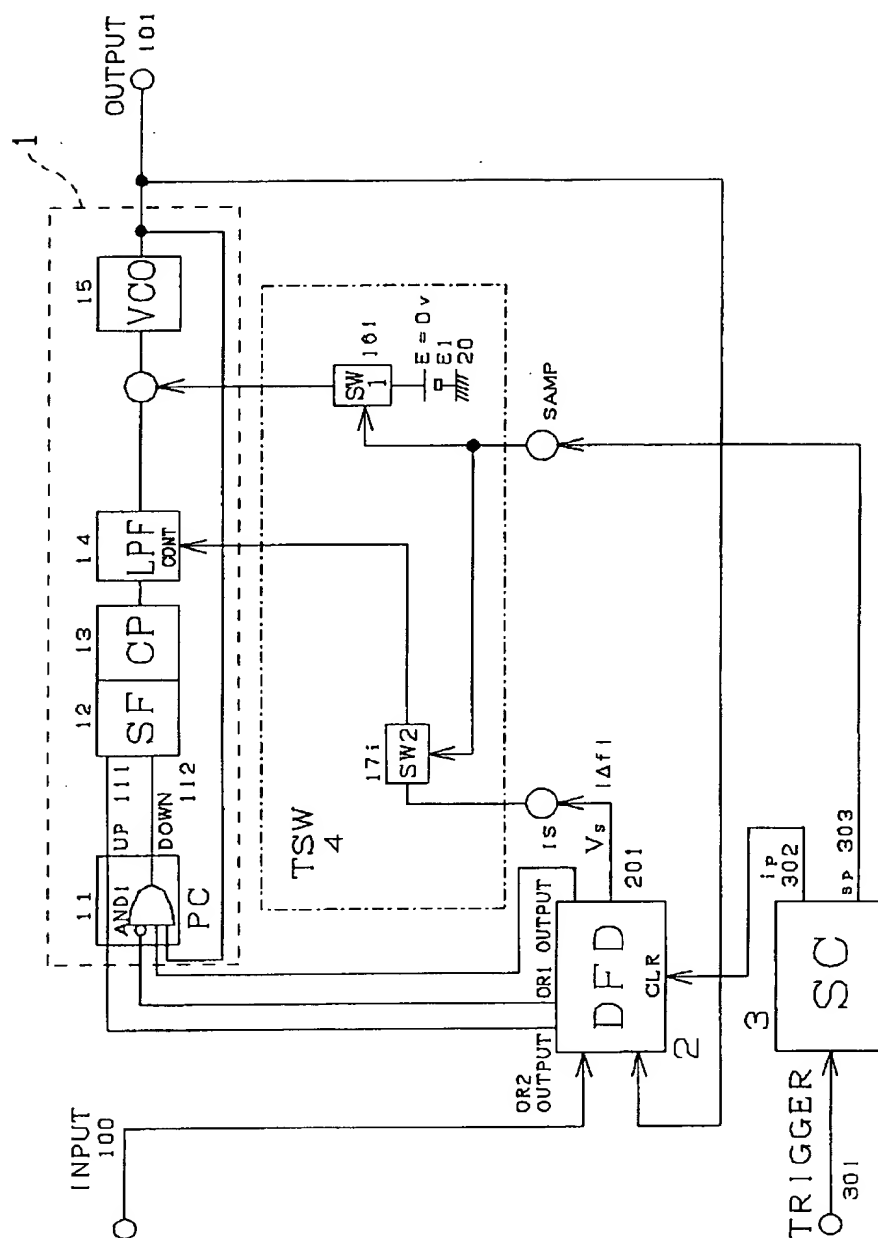
【図 26】



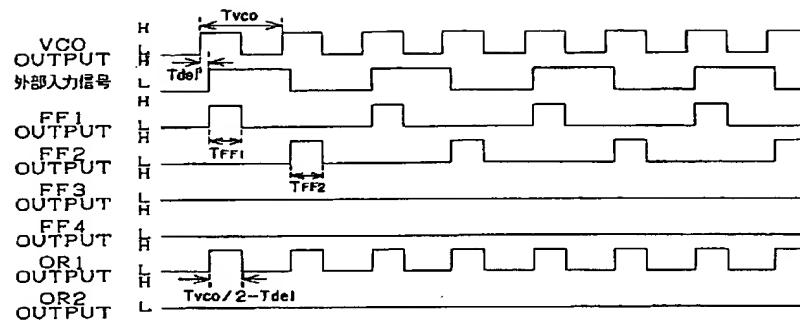
【図 29】



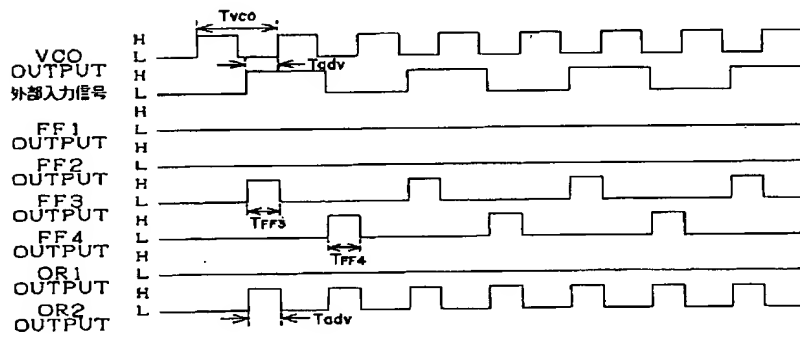
【図30】



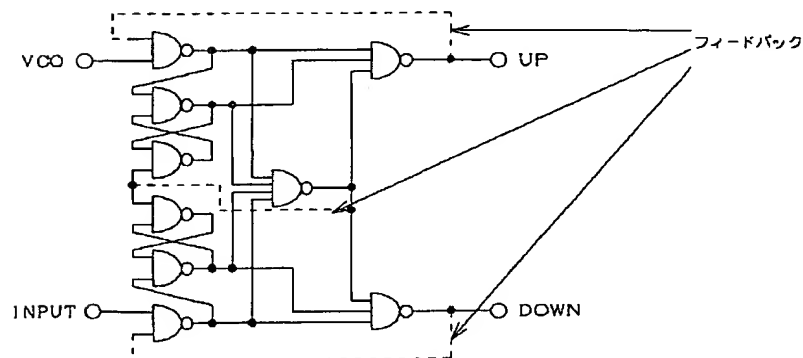
【図 31】



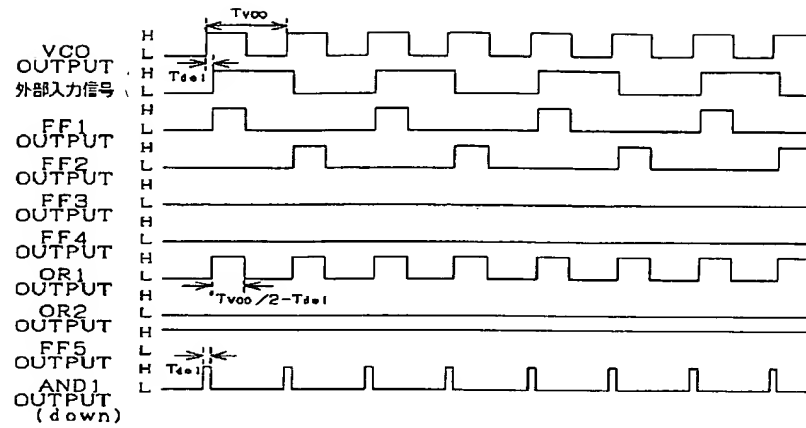
【図 32】



【図 34】

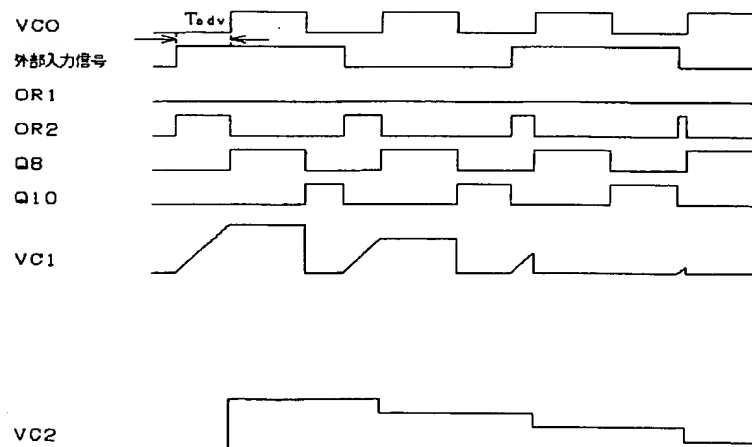


【図 3 3】

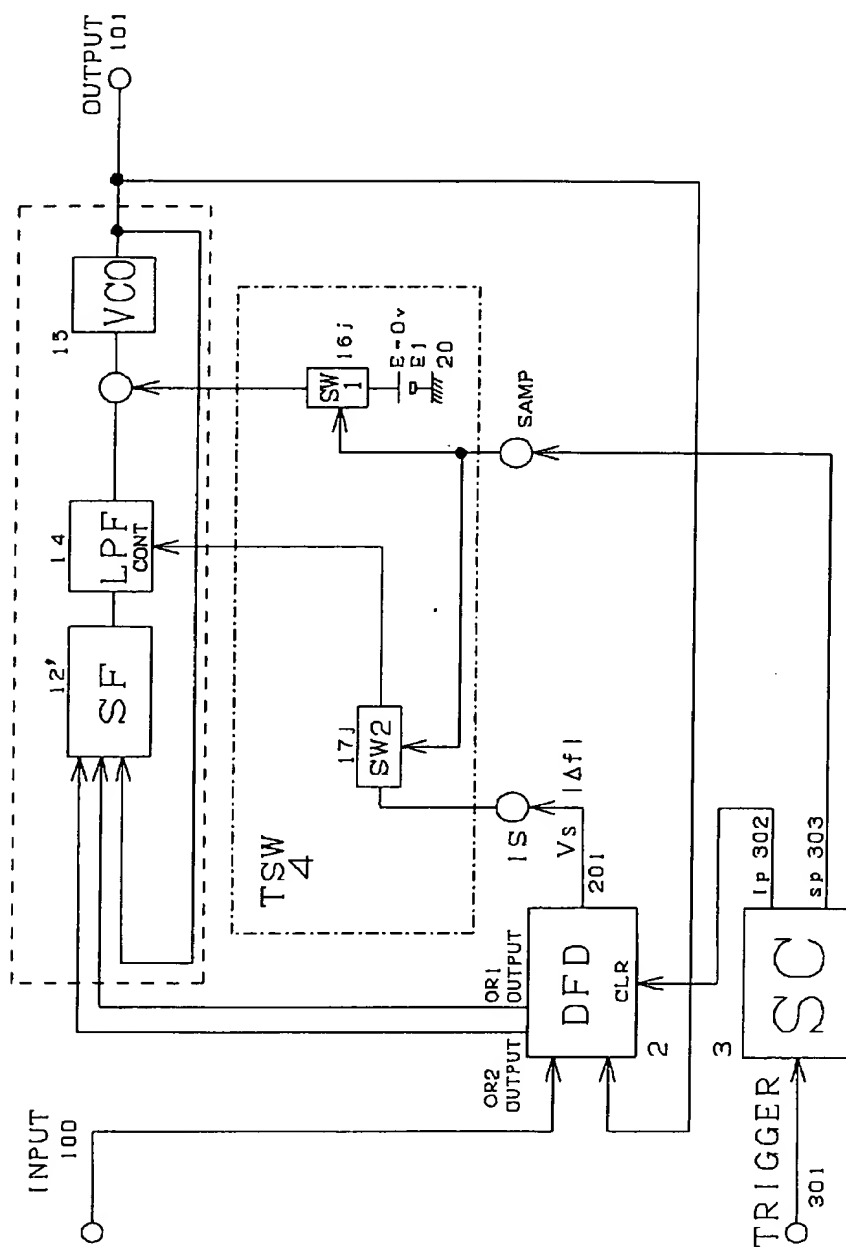


【図 3 7】

外部入力信号位相が進んでいる場合

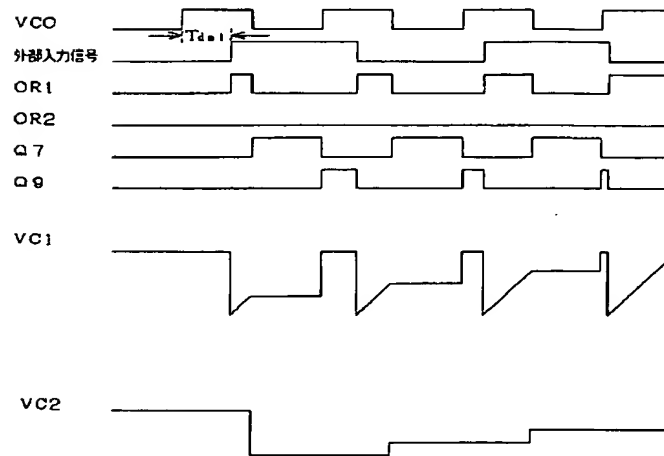


【図 3 6】

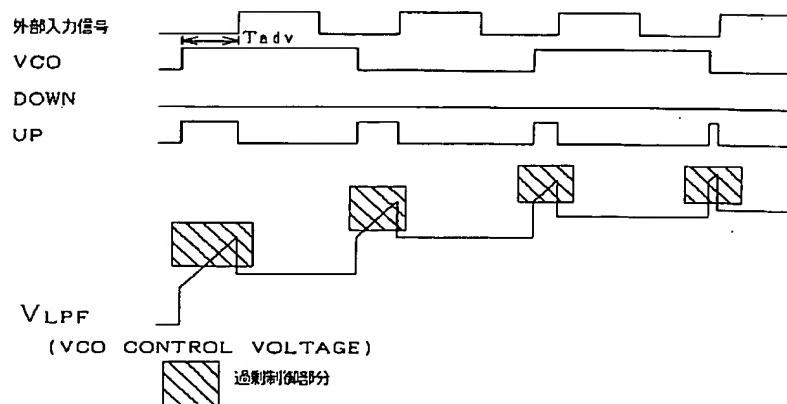


【図38】

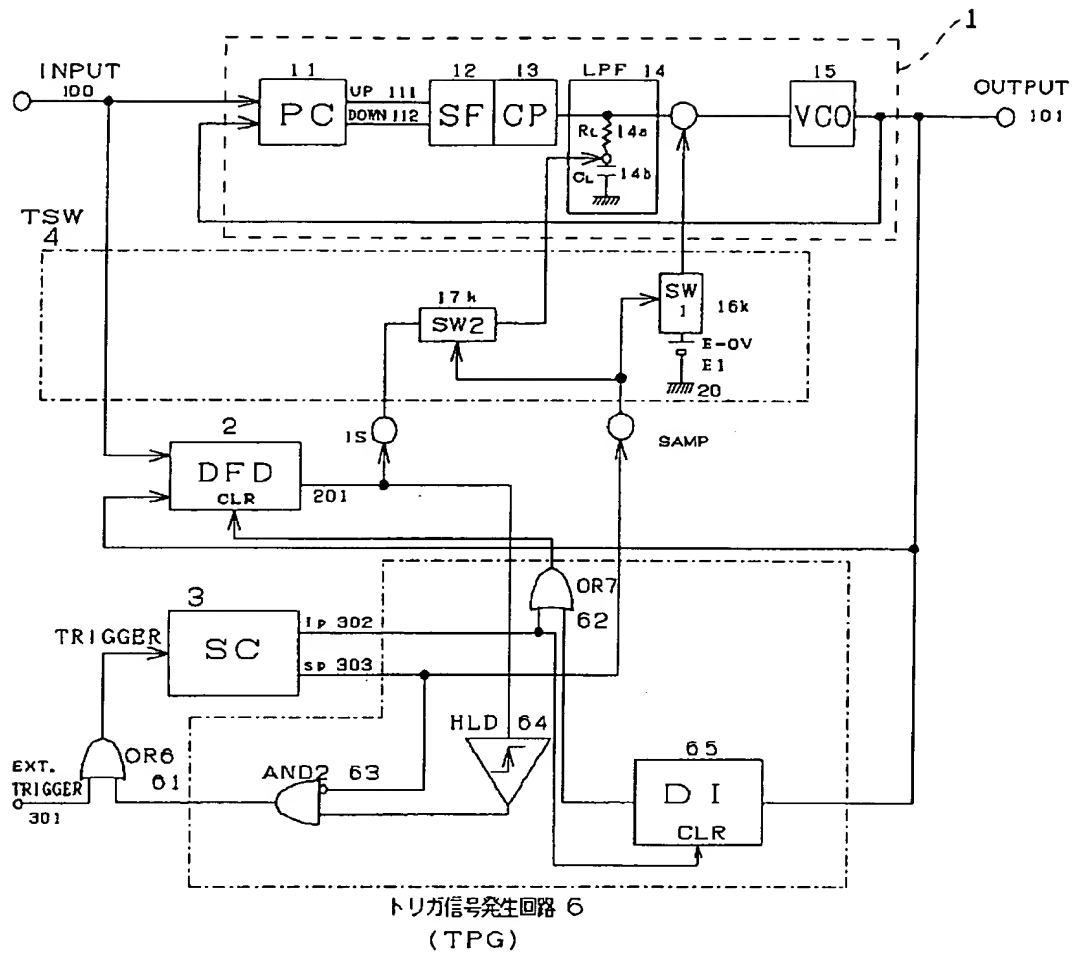
外部入力信号位相が遅れている場合



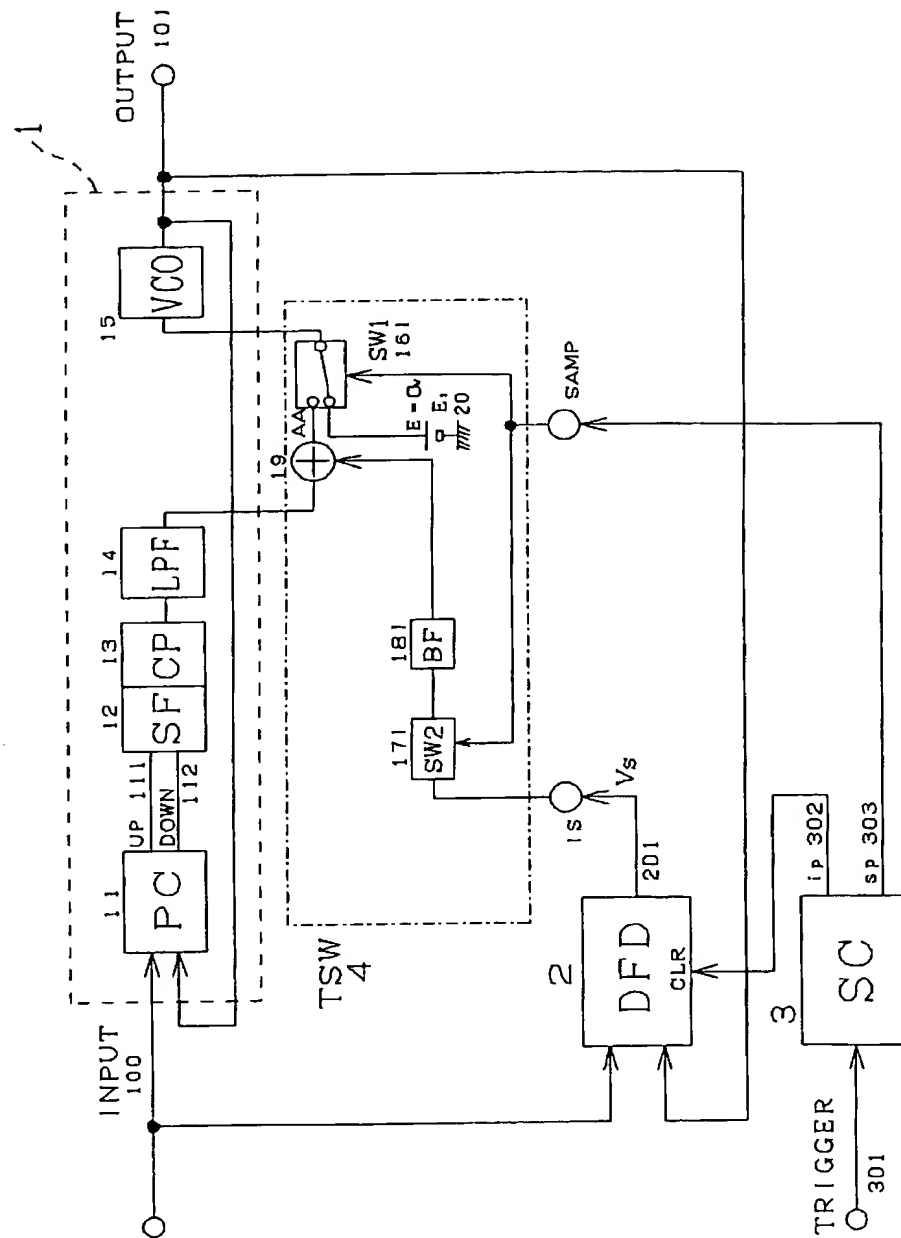
【図39】



【図 40】



【図43】



フロントページの続き

(72)発明者 中司 賢一
福岡県粕屋郡志免町大字志免1325-1

(72)発明者 江良 佳和
東京都千代田区丸の内1丁目5番1号 株
式会社日立製作所光技術開発推進本部内